

(19)日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11)特許出願公表番号

特表2002-515133

(P2002-515133A)

(43)公表日 平成14年5月21日(2002.5.21)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テームト (参考)
G 0 9 G 3/22		G 0 9 G 3/22	D
	6 7 0	3/20	6 7 0 E
H 0 1 J 29/87		H 0 1 J 29/87	
29/92		29/92	Z
29/96		29/96	

審査請求 未請求 予備審査請求 有 (全 64 頁) 最終頁に続く

(21)出願番号 特願平10-506978  
(86) (22)出願日 平成9年7月17日(1997.7.17)  
(85)翻訳文提出日 平成11年1月14日(1999.1.14)  
(86)国際出願番号 PCT/US97/11917  
(87)国際公開番号 WO98/03986  
(87)国際公開日 平成10年1月29日(1998.1.29)  
(31)優先権主張番号 683, 789  
(32)優先日 平成8年7月18日(1996.7.18)  
(33)優先権主張国 米国 (US)  
(81)指定国 EP(AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, L U, MC, NL, PT, SE), JP, KR

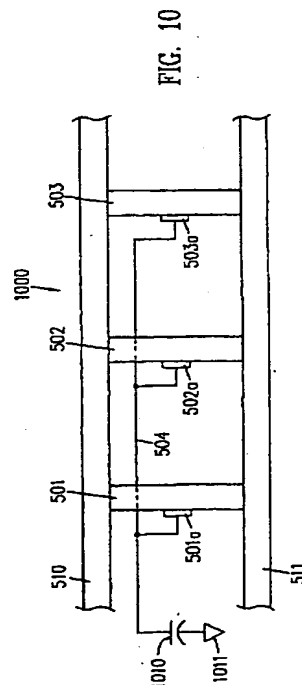
(71)出願人 キャンデセント・インテレクチュアル・プロパティ・サービシーズ・インコーポレイテッド  
アメリカ合衆国カリフォルニア州95119・サンノゼ・サンイグナチオアベニュー6320  
(72)発明者 スピント、クリストファー・ジェイ  
アメリカ合衆国カリフォルニア州94025・メンロパーク・ヒルサイドアベニュー115  
(74)代理人 弁理士 大島 陽一

最終頁に続く

(54)【発明の名称】 フラットパネルディスプレイのためのスペーサ構造体及びそれを操作するための方法

(57)【要約】

フラットパネルディスプレイ内のスペーサ壁上に蓄積される電荷を低減する方法及び構造体が提供される。1つの実施例では、電子放出素子を活性化する順序を変更して、電子放出素子がスペーサ(501、502、503)を不要なレベルにまで帯電させる前に、スペーサに隣接する電子放出素子が活性化されるようにする。別の実施例では、スペーサの表面上に配置されるフェース電極(501a、502a、503a)が、共通バス(504)に接続され、それにより任意の特定のスペーサ上に蓄積される電荷を分配する。さらに共通バス(504)がフラットパネルディスプレイのアクティブ領域の内側或いは外側の何れかに配置されるコンデンサ(1010)に接続され、それによりスペーサの充電時定数を増加させる。コンデンサはグラウンド或いは高電圧源(1011)に接続されることが出来る。別の実施例では、スペーサの充電時定数は、酸化アルミニウム、酸化クロム並びに酸化チタンを分散させるようにして高誘電率を有する材料からスペーサを形成することにより増加する。その材料においては酸化チタンはスペーサ材料の約



FP04-0198  
-00WO-TD  
04.11.22

SEARCH REPORT

**【特許請求の範囲】**

1. フェースプレート構造体、バックプレート構造体並びに前記フェースプレート構造体と前記バックプレート構造体との間に配置されるスペーサとを有するフラットパネルディスプレイ上に画素情報のフレームを表示するための方法であって、

前記スペーサの何れかの側において前記スペーサと隣接する前記フラットパネルディスプレイの一对のスペーサ隣接領域を選択する過程と、

前記スペーサ隣接領域に隣接し、活性化時に前記スペーサを帯電させる前記フラットパネルディスプレイの一对のスペーサ帯電領域を選択する過程と、

前記スペーサ隣接領域を活性化する過程と、

前記画素情報のフレームを表示するために前記スペーサ帯電領域を活性化する過程とを有することを特徴とする方法。

2. 前記スペーサ帯電領域に隣接し、活性化時に前記スペーサを帯電させない前記フラットパネルディスプレイのスペーサ中性領域を画定する過程と、

前記スペーサ隣接領域を活性化する過程に先行して、前記スペーサ中性領域を活性化する過程とをさらに有することを特徴とする請求項1に記載の方法。

3. 前記スペーサ帯電領域に隣接し、活性化時に前記スペーサを帯電させない前記フラットパネルディスプレイのスペーサ中性領域を画定する過程と、

前記スペーサ帯電領域を活性化する過程の終了後に、前記スペーサ中性領域を活性化する過程とをさらに有することを特徴とする請求項1に記載の方法。

4. 絶縁性フェースプレートと光放出構造体とを有するフェースプレー

ト構造体と、

絶縁性バックプレートと電子放出構造体とを有するバックプレート構造体と、

前記フェースプレート構造体と前記バックプレート構造体との間に配置され、それぞれが前記スペーサのフェース側表面上に配置されるフェース電極を有する複数のスペーサと、

前記フェース電極を接続する共通バス構造体とを有することを特徴とするフラットパネルディスプレイ。

5. 各スペーサがさらに前記スペーサのエッジ側表面上に配置されるエッジ電極を備え、前記スペーサの前記フェース電極が前記スペーサの前記エッジ電極に接触することを特徴とする請求項4に記載のフラットパネルディスプレイ。

6. 前記共通バス構造体が、

前記光放出構造体に隣接する前記フェースプレート上に配置される絶縁性ストリップと、

前記絶縁性ストリップ上に配置され、前記フェース電極に接続される導電性バス層とを有することを特徴とする請求項4に記載のフラットパネルディスプレイ。

7. 各スペーサが、前記スペーサの第1の端部に配置される第1のエッジ電極と、前記スペーサの前記第1の端部に配置される第2のエッジ電極とを備え、前記第1のエッジ電極及び前記第2のエッジ電極が間隙により隔離され、前記第1のエッジ電極が前記光放出構造体と接触し、また前記第2のエッジ電極が前記共通バス構造体と接触し、また前記第2の端部電極が前記共通バス構造体と接触するようになることを特徴とする請求項4に記載のフラットパネルディスプレイ。

8. 前記共通バス構造体に接続されるコンデンサをさらに有することを

特徴とする請求項4に記載のフラットパネルディスプレイ。

9. 前記フェースプレート構造体と前記バックプレート構造体との間に延在する側壁構造体をさらに有し、前記側壁構造体が前記光放出構造体、前記電子放出構造体並びに前記共通バス構造体を概ね横方向に包囲し、前記コンデンサが前記側壁構造体の外側境界の外側に配置されることを特徴とする請求項8に記載のフラットパネルディスプレイ。

10. 前記コンデンサが前記共通バス構造体とグランド電圧源との間に接続されることを特徴とする請求項8に記載のフラットパネルディスプレイ。

11. 前記コンデンサが前記共通バス構造体と高電圧源との間に接続されることを特徴とする請求項8に記載のフラットパネルディスプレイ。

12. 前記バス構造体が、

前記光放出構造体に隣接する前記フェースプレート上に配置される誘電性スト

リップと、

前記絶縁性ストリップ上に配置され、前記フェース電極に接続される導電性バス層とを有することを特徴する請求項8に記載のフラットパネルディスプレイ。

13. 前記コンデンサが前記導電性バス層、前記誘電性ストリップ並びに前記フェースプレートと前記誘電性ストリップとの間に配置される第2の導電性層とを備え、前記の第2の導電性層が前記光放出構造体を介して高電圧源に接続されることを特徴とする請求項12に記載のフラットパネルディスプレイ。

14. 前記第2の導電性層が前記フェースプレート内の溝に配置されることを特徴とする請求項13に記載のフラットパネルディスプレイ。

15. 絶縁性フェースプレートと、複数の平行な画素行内に配列される光放出構造体とを有するフェースプレート構造体と、

絶縁性バックプレートと、電子放出構造体とを有するバックプレート構造体と

前記フェースプレート構造体と前記バックプレート構造体との間に配置される複数のスペーサとを有し、各スペーサが前記画素行に垂直に配置され、また各スペーサが前記スペーサのフェース側表面上に配置されるフェース電極を有することを特徴とするフラットパネルディスプレイ。

16. フラットパネルディスプレイのためのスペーサ材料であって、  
酸化アルミニウムと、

前記酸化アルミニウム内に分散される酸化クロムと、

前記酸化アルミニウム内に分散される酸化チタンとを有し、前記スペーサ材料が約4%の酸化チタンからなることを特徴とするスペーサ材料。

17. 前記スペーサ材料が、約32%の酸化アルミニウムと、約64%の酸化クロムとを有することを特徴する請求項16に記載のスペーサ材料。

18.  $100\epsilon_0$ より大きい誘電率を有する材料からなることを特徴とするフラットパネルディスプレイのためのスペーサ。

19. 前記スペーサが $400\epsilon_0 \sim 800\epsilon_0$ の範囲内にある誘電率を有する材料からなることを特徴とする請求項18に記載のスペーサ。

20. 前記スペーサが $700\epsilon_0 \sim 750\epsilon_0$ の範囲にある誘電率を有する材料からなることを特徴とする請求項18に記載のスペーサ。

**【発明の詳細な説明】**

フラットパネルディスプレイのためのスペーサ構造体及びそれを操作するための方法

**発明の分野**

本発明は、フラットパネルディスプレイのフェースプレート構造体とバックプレート構造体との間に配置されるスペーサに関連する。また本発明は、これらのスペーサに関連してフラットパネルディスプレイを操作するための方法に関連する。

**発明の背景**

フラット形陰極線管（CRT）ディスプレイは、従来の偏向ビーム式(deflected-beam) CRTディスプレイに対して大きなアスペクト比(例えば10:1、或いはそれ以上)を示し、電子が光放出材料に衝突するのに応じて画像を表示するディスプレイを備える。アスペクト比は、ディスプレイ厚に対するディスプレイ表面の対角線長さとして定義される。光放出材料に衝突させる電子は、フィールドエミッタカソード或いは熱陰極のような種々のデバイスにより発生させることができる。本明細書では、フラットパネルCRTディスプレイは、フラットパネルディスプレイと呼ばれる。

典型的には従来のフラットパネルディスプレイはフェースプレート構造体とバックプレート構造体とを備えており、フェースプレート構造体とバックプレート構造体は、その周囲に壁を設けることにより結合される。そこで形成される結合壁は通常、真空圧で保持される。真空圧下でフラットパネルディスプレイが陥没しないようにするために、典型的には複数の電氣的抵抗性のスペーサが、フラットパネルの中央に位置する

アクティブ領域において、フェースプレート構造体とバックプレート構造体との間に配置される。

フェースプレート構造体は、絶縁性フェースプレート（典型的にはガラス）及び絶縁性フェースプレートの内側表面上に形成される光放出構造体を備える。光放出構造体は光放出材料、すなわち燐光体を備え、それらがディスプレイのアク

ティブ領域を画定する。バックプレート構造体は、絶縁性バックプレート及びバックプレートの内側表面上に配置される電子放出構造体を備える。電子放出構造体は、選択的に励起されて電子を解放する複数の電子放出素子（例えばフィールドエミッタ）を備える。光放出構造体は、電子放出構造体に対して相対的に高い正の電圧（例えば5 kV）に保持される。その結果、電子放出素子により解放される電子は光放出構造体の燐光体に向かって加速され、燐光体はフェースプレートの外側表面（視認用表面）において、観察者により視認される光を放出するようになる。

第1図は、フラットパネルディスプレイ100の視認用表面の模式図である。フラットパネルディスプレイ100のフェースプレート構造体20は、画素行1-10のように光放出素子からなる複数の行（すなわち画素行）内に配列される光放出構造体を備える。フラットパネルディスプレイ100は典型的には数百の画素行を備えており、各行が数百の画素を含んでいる。スペーサ101-104は、画素行1-10と並列にディスプレイ100の間に水平に延在する。画素行1-10及びスペーサ101-104は、例示するのを目的としているため、第1図においてはかなり拡大されている。

フラットパネルディスプレイ100の電子放出構造体は、フェースプレート構造体20の画素行に対応する電子放出素子の行内に配列される。所与の一行内にある全ての電子放出素子は同時に活性化される（すなわ

ち電子放出される）。電子放出素子の行は順次活性化される。従って、画素行1に対応する電子放出素子の行が最初に活性化され、その後画素行2-10に対応する電子放出素子の行が順次活性化される。電子放出順序は、矢印110により示される方向に継続される。

第2図は、第1図の線2-2に沿った見たフラットパネルディスプレイ100の断面図である。第2図はフェースプレート21及び光放出構造体22を備えるフェースプレート構造体20、バックプレート31及び電子放出構造体32を備えるバックプレート構造体30並びにスペーサ101を備える。光放出構造体22は画素行1-10を備え、電子放出構造体32は、対応する電子放出素子1a

—10aの行を備える。

上記のように、電子放出素子1a—10aの行は、対応する画素行1—10において順次電子放出する。電子放出素子1a—10aから放出される電子が画素行1—10の光放出材料に衝突する時、電子の散乱が生ずる。画素行6—9に対して示されるように、散乱した電子はスペーサ101に衝突するようになる。スペーサ101に衝突する散乱した電子のエネルギーは、スペーサ101から電子を解放するだけの十分に大きなエネルギーであり、それによりスペーサ101の表面が正に帯電するようになる。スペーサ101に近接した電子放出素子の行が順次活性化されるに従って、スペーサ101は急速に帯電する。

スペーサ101に隣接して配置される電子放出素子（例えば電子放出素子10a）の行が活性化される時、スペーサ101に蓄積される正の電荷は十分に大きくなり、スペーサ101に向かって放出された電子を偏向するようになる。その結果、スペーサ101に隣接する画素行（例えば画素行10）は、対応する電子放出素子の行から放出される電子の一部しか受信できず、それによりこれらの画素行は暗く見えるようになる。放出された電子が僅かに偏向するだけでも、スペーサ101に隣接

して視認可能な画素歪みが生じる。すなわち電子放出素子10aから放出される電子は偏向され、画素行10内の中心からずれた位置において画素行10に衝突するため、画素行10において歪みが生ずるようになる。これらの理由により、スペーサ101に隣接して歪んだ（例えば暗い或いは明るい）画素線が視認されることがある。

従来のスペーサは、スペーサ表面上に蓄積される電荷を放出するような電氣的抵抗性の被覆を備えていた。しかしながら、そのような抵抗性の被覆は、その被覆自体により、スペーサ表面の帯電状態を許容可能なレベルまでに低減させるには不十分である。

従ってフラットパネルディスプレイ100の動作中に、スペーサ表面の帯電状態を許容可能なレベルにまで低減させる方法並びにまた構造体が望まれよう。

概要



従って、本発明の1つの実施例は、フラットパネルディスプレイを3つのディスプレイ領域に論理的に分割する過程を含む。この3つの領域は、スペーサに隣接して配置されるスペーサ隣接領域、(2) スペーサ隣接領域に隣接して配置されるスペーサ帯電領域、並びに(3) スペーサ帯電領域に隣接して配置されるスペーサ中性領域である。スペーサ帯電領域は、活性化時に、不要に高いレベルにまで隣接スペーサを帯電させるフラットパネルディスプレイの領域を含む。スペーサ中性領域は、活性化時に、スペーサを著しく帯電させないフラットパネルディスプレイの領域である。スペーサ隣接領域の活性化時に、スペーサが帯電するのを防ぐために、スペーサ隣接領域は、スペーサ帯電領域に先行して活性化される。典型的な動作の流れは、スペーサ中性領域を活性化する過程と、スペーサ隣接領域を活性化する過程と、その後にスペーサ帯電領

域を活性化する過程とを含む。スペーサ隣接領域の活性化時には、スペーサは極端には帯電しないため、スペーサ隣接領域は適当に(すなわち、著しい電子の偏向がなく)動作し、スペーサに隣接する暗線は見られない。

別の実施例では、スペーサは高誘電率を有する材料からなり、それによりスペーサの充電時定数を増加させ、スペーサ上に電荷が急激に蓄積されるのを防ぐ。ある特定の実施例では、スペーサは酸化アルミニウム内に分散される酸化チタン或いは酸化クロムからなる。酸化チタンの濃度は約4%に調整される。酸化チタンの割合を約4%に調整することにより、スペーサ材料の誘電率は最大になるという利点がある。酸化クロム及び酸化アルミニウムの濃度は、例えば、それぞれ64%及び32%である。

別の実施例では、フェース電極が各スペーサの外側表面上に配置され、共通バス構造体がフェース電極に接触する。共通バス構造体により、全てのスペーサの中の任意の特定のスペーサ上に蓄積される電荷が分配されるという利点がある。1つの変形例では、共通バス構造体は、光放出構造体に隣接して、フラットパネルディスプレイのフェースプレート上に配置される絶縁性ストリップ、並びに絶縁性ストリップ上に配置される導電性バス層により形成される。導電性バス層は各フェース電極に接続される。

別の実施例では、コンデンサが共通バス構造体に結合され、それによりスペーサの充電時定数を増加させる。コンデンサは、フラットパネルディスプレイの内側或いは外側に物理的に配置することができる。さらにコンデンサは高電圧源或いはグランド電圧源に接続されることができる。

コンデンサは、フェースプレートと共通バス構造体の絶縁性ストリップ

プとの間に導電性プレートを設定することによりフラットパネルディスプレイの内部に形成されることができる。導電性プレートと導電性バス層はコンデンサのプレートを形成し、絶縁性ストリップはコンデンサの誘電体を形成する。導電性プレートは、フェースプレート構造体の光放出構造体を介して高電圧源に接続されるようになる。

さらに別の実施例では、フラットパネルディスプレイは、複数の平行な画素行と、画素行に垂直に延在する複数のスペーサとを備える。各スペーサは、スペーサの長さに沿って過大な電荷を分配するフェース電極を備え、それにより電荷がスペーサ上に蓄積されるのを防ぐ。

本発明は、図面と共に取り上げられる以下の詳細な説明において、さらに十分に理解されるであろう。

#### 図面の簡単な説明

第1図は、従来のフラットパネルディスプレイの視認用表面の模式図である。

第2図は、第1図の線2-2に沿って見たフラットパネルディスプレイの断面図である。

第3図は、本発明の1つの実施例に従ったフラットパネルディスプレイの視認用表面の一部の模式図である。

第4図は、第3図の線4-4に沿って見た第3図のフラットパネルディスプレイの断面図である。

第5図は、本発明の別の実施例に従って共通スペーサバスを有するフラットパネルディスプレイの模式図である。

第6図は、本発明のいくつかの実施例において用いられるスペーサの等角図である。

第7図は、共通スペーサバスを有するフラットパネルディスプレイの

上側表面の模式図である。

第8図は、第7図の線8-8に沿って見た第7図のフラットパネルディスプレイの断面図である。

第9図は、第7図の線9-9に沿って見た第7図のフラットパネルディスプレイの断面図である。

第10図は、本発明の別の実施例に従った共通スペーサバスに結合される内部コンデンサを有するフラットパネルディスプレイの模式図である。

第11図は、共通スペーサバスに結合される外部コンデンサを有するフラットパネルディスプレイの上側表面の模式図である。

第12図は、第11図の線12-12に沿って見た第11図のフラットパネルディスプレイの断面図である。

第13図は、本発明のさらに別の実施例に従った共通スペーサバスに結合される内部コンデンサを有するフラットパネルディスプレイの模式図である。

第14図は、共通スペーサバスに結合される内部コンデンサを有するフラットパネルディスプレイの上側表面の模式図である。

第15図は、第14図の線15-15に沿って見た第14図のフラットパネルディスプレイの断面図である。

第16図は、第14図の線16-16に沿って見た第14図のフラットパネルディスプレイの断面図である。

第17図は、本発明の別の実施例に従った、画素行と並列に配置されるスペーサを有するフラットパネルディスプレイの上側表面の模式図である。

第18図は、第17図のフラットパネルディスプレイにおいて用いることができるスペーサの等角図である。

#### 発明の詳細な説明

以下の説明において、以下の定義が用いられる。本明細書では、用語「電気的絶縁性」或いは、「誘電性」は全般的に、 $10^{12} \Omega \cdot \text{cm}$ をより高い抵抗率を有す

る材料に適用される。用語「電気的絶縁性」は $10^{12} \Omega \cdot \text{cm}$ より低い抵抗率を有する材料を示す。電気的絶縁性材料は、(a) 抵抗率が $1 \Omega \cdot \text{cm}$ より低い電気的導電性材料と、(b) 抵抗率が $1 \sim 10^{12} \Omega \cdot \text{cm}$ の範囲内にある電気的抵抗性材料とに区別される。これらの区分は低電界時に限定される。

電気的導電性材料（或いは電気導体）の例としては、金属、金属半導体化合物、並びに金属半導体共晶体がある。また電気的導電性材料は中程度或いは高レベルにドーピングされた（n型或いはp型）半導体を含む。電気的抵抗性材料は真性及び軽くドーピングされた（n型或いはp型）半導体を含む。電気的抵抗性材料のさらに別の例は、サーメット（金属粒子を埋め込まれたセラミック）並びに他のそのような金属絶縁体複合材である。また電気的抵抗性材料は、導電性セラミック及び導電性充填材入りガラス（filled glass）を含む。

#### 第1実施例

第3図は、本発明の1つの実施例に従ったフラットパネルディスプレイ300の視認用表面の一部を示す。第4図は、第3図の線4-4に沿って見たフラットパネルディスプレイ300の断面図である。フラットパネルディスプレイ300の図示される部分は、フェースプレート構造体320、バックプレート構造体330並びにスペーサ351及び352を備える。フェースプレート構造体320は、電気的絶縁性ガラスフェースプレート321及び光放出構造体322を備える従来の構造体で

ある。またバックプレート構造体330も従来通りの構造体であり、電気的絶縁性バックプレート331及び電子放出構造体332を備える。フェースプレート構造体320及びバックプレート構造体330は、出願人を同じくする1993年6月22日出願のCurtin等による「Flat Panel display with Ceramic Backplate」というタイトルの米国特許出願第08/081,913号、及び1995年3月16日公開のPCT国際公開公報 WO95/07543に詳細に記載されており、それらの全体を参照して本明細書の一部としている。

1つの変形例では、各スペーサ351及び352は遷移金属酸化物を含むセラミックのような均一な電気的抵抗性の材料の固体片から形成される。また各スペ

ーサ351及び352は、外側表面上に形成される電氣的抵抗性の外皮を備える電氣的絶縁性のコア材から形成されてもよい。スペーサ351および352は、出願人を同じくする同時係属の1995年3月31日出願のSchmid等による「Spacer Structure for Use in Flat Panel Displays and Methods for Forming Same」というタイトルの米国特許出願第08/414,408号並びに1995年7月20日出願のSpindt等による「Structure and Operation of High Voltage Supports」というタイトルの米国特許出願第08/505,841号に詳細に記載されており、その全体を参照して本明細書の一部としている。

フラットパネルディスプレイ300の図示される部分は、11個のディスプレイ領域301-311に論理的に分割される。各ディスプレイ領域301-311は、光放出構造体322の対応する光放出領域301a-311a並びに電子放出構造体332の対応する電子放出領域301b-311bを備える。各光放出領域301a-311aは、スペーサ351及び352に並列に延在する1つ或いはそれ以上の光放出素子の行（すなわち画素行）を備える。同様に、各電子放出領域301b

-311bは、1つ或いはそれ以上の電子放出素子の行を備える。各光放出領域301a-311aは、対応する電子放出領域301b-311bを有する。

記載される実施例では、フラットパネルディスプレイ300の画素は、12.5ミル（約0.32mm）のピッチ（間隔）を有するが、他のピッチでも可能であり、それは本発明の範囲内にあるものと考えられる。スペーサ351及び352は、375ミル（約9.53mm）の横方向間隔を有し、互いに並列して延在する。従って、30個の画素行がスペーサ351とスペーサ352との間に存在する。フラットパネルディスプレイ300の他のスペーサ（図示せず）も同様に配列される。フラットパネルディスプレイ300は、例えば480画素行を備えることができる。スペーサ351及び352は約2.25ミル（約0.06mm）の厚さTと、約50ミル（約1.27mm）の高さHとを有する。その結果、フェースプレート構造体320とバックプレート構造体330との間の間隔は約50ミル（約1.27mm）である。約5kVの電位差が、電子放出構造体33

2と光放出構造体322との間で保持される。

ディスプレイ領域303及び304はスペーサ351に隣接して配置され、ディスプレイ領域308及び309はスペーサ352に隣接して配置される。従ってディスプレイ領域303、304、308並びに309は、これ以降スペーサ隣接領域と呼ばれる。電子放出素子の行が矢印340の方向に順次活性化されるものと仮定する場合に、スペーサ隣接領域303、304、308並びに309は、スペーサ351及び352に電荷が蓄積される結果として、電子放出素子に対応する行から許容可能な数の放出された電子を受信し損なうと考えられる画素行を含むように選択される。また、スペーサ隣接領域303、304、308並びに309は、電子放出素子の行が矢印340の方向に順次活性化され

るものと仮定する場合に、スペーサ351及び352に電荷が蓄積される結果として、画素歪みが生じる量にまで偏向される電子を受信するようになる画素行を含むように選択される。

記載される実施例では、各スペーサ隣接領域303、304、308並びに309は、スペーサ351-352に隣接して配置される1つ或いは2つの画素行を備える。例えば、各スペーサ隣接領域303、304、308並びに309が2つの画素行を備える場合には、光放出領域303a、304a、308a並びに309aは、それぞれ2行の光放出素子を備え、対応する電子放出領域303b、304b、308b並びに309bは、それぞれ対応する2行の電子放出素子を備える。

電子放出領域303b、304b、308b並びに309bが活性化されるとき、対応する光放出領域303a、304a、308a並びに309aから散乱する電子によるスペーサ351及び352の帯電は、著しくはない。これは、光放出領域303a、304a、308a並びに309aから散乱する電子が、スペーサ351及び352の最上部に比較的近接した（すなわち光放出構造体322付近の）スペーサ351及び352に衝当するようになるためである。この結果、これらの電子により導入される電荷は光放出構造体322に容易に排出される。

ディスプレイ領域302、305、307並びに310は、それぞれスペーサ隣接領域303、304、308並びに309に隣接して配置される。ディスプレイ領域302、305、307並びに310は、そ対応する電子放出素子の行により順次電子放出される時、スペーサ351及び352を不要に高いレベルにまで帯電させる電子の散乱をもたらず画素行を備えるように選択される。領域302、305、307並びに310は、以降スペーサ帯電領域と呼ばれる。スペーサ帯電領域302、305、307、並びに310は、対応する光放出領域302a、

305a、307a及び310a、並びに対応する電子放出領域302b、305b、307b並びに310bを備える。記載される実施例では、各スペーサ帯電領域302、305、307並びに310は、対応するスペーサ隣接領域303、304、308並びに309に隣接して配置される3つから5つの画素行を備える。例えば、各スペーサ隣接領域303、304、308並びに309が5つの画素行を備える場合、光放出領域302a、305a、307a並びに310aは、それぞれ5つの光放出素子の行を備え、また対応する電子放出領域302b、305b、307b並びに310bは、それぞれ5つの対応する電子放出素子の行を備えるであろう。

ある特定の実施例では、スペーサ帯電領域302、305、307、並びに310に含まれる画素行は、光放出構造体322と電子放出構造体332との間の距離の約5.5～1.5倍の範囲内にある距離だけスペーサ351及び352から離隔配置された画素行である。

ディスプレイ領域301はスペーサ帯電領域302に隣接して配置され、ディスプレイ領域306はスペーサ帯電領域305と307との間に配置され、ディスプレイ領域311はスペーサ帯電領域310に隣接して配置される。ディスプレイ領域301、306並びに311は、対応する電子放出素子の行により電子放出されるとき、スペーサ351及び352を著しく帯電させるような電子を散乱しない画素行を備えるように選択される。すなわち、ディスプレイ領域301、306並びに311内の画素行が電子放出するとき、対応する光放出領域30

1 a、3 0 6 a並びに3 1 1 aから散乱する電子は、スペーサ3 5 1及び3 5 2に到達できないか、或いはこれらのスペーサに到達してもスペーサ3 5 1及び3 5 2を著しく帯電させることはない。領域3 0 1、3 0 6並びに3 1 1は、以降スペーサ中性領域と呼ばれる。

記載される実施例では、各スペーサ中性領域3 0 1、3 0 6並びに3 1 1は約5～7画素行分だけスペーサ3 5 1及び3 5 2から横方向に隔離される。従って、各スペーサ中性領域3 0 1、3 0 6、並びに3 1 1は、対応するスペーサ帯電領域3 0 2、3 0 5、3 0 7並びに3 1 0に隣接して配置される16～22個の画素行を備える。各スペーサ中性領域3 0 1、3 0 6並びに3 1 1が16画素行を備える場合、光放出領域3 0 1 a、3 0 6 a並びに3 1 1 aはそれぞれ16個の光放出素子の行を備え、さらに対応する電子放出領域3 0 1 b、3 0 6 b並びに3 1 1 bが、それぞれ16個の対応する電子放出素子の行を備えるであろう。

ある特定の実施例では、スペーサ中性領域3 0 1、3 0 6並びに3 1 1内に含まれる画素行は、光放出構造体3 2 2と電子放出構造体3 3 2との間の距離の1.5倍より大きい距離だけスペーサ3 5 1及び3 5 2から離隔して配置される画素行である。

本発明の1つの実施例に従って、電子放出領域3 0 1 b－3 1 1 bは以下に記載される順序に活性化される。各電子放出領域3 0 1 b－3 1 1 bの内部において、電子放出素子の行は矢印3 4 0（第3図）により示される方向に順次活性化される。活性化の順序は、フラットパネルディスプレイ3 0 0の行アドレッシングシステム（row addressing system）により制御される。

まず、電子放出領域3 0 1 bの電子放出素子は、スペーサ中性領域3 0 1において順次活性化される。上記のように、電子放出領域3 0 1 bの活性化では、スペーサ3 5 1は極端には帯電しない。次に、電子放出領域3 0 3 b及び3 0 4 bの電子放出素子が、スペーサ隣接領域3 0 3及び3 0 4内において順次活性化される。スペーサ3 5 1は、電子放出領域3 0 3 b及び3 0 4 bが活性化された時点では極端には帯電していないため、領域3 0 3 b及び3 0 4 bから放出される電子は、著しく偏



向されることなく対応する光放出領域303a及び304bに達する。特定の実施例では、電子放出領域303bは、電子放出領域304bに先行して活性化される。

次に、電子放出領域302b及び305bの電子放出素子がスペーサ帯電領域302及び305において順次活性化される。特定の実施例では、電子放出領域302bは、電子放出領域305bに先行して活性化される。電子放出領域302b及び305bの活性化による電荷がスペーサ351上に蓄積されるようになるが、この電荷は、その後スペーサ隣接領域303及び304の電子放出領域303b及び304bが順次活性化される時点までには散逸される。例えば、フラットパネルディスプレイ300が70Hzのリフレッシュ周波数を有するものと仮定すると、スペーサ351が、電子放出領域303b及び304bが順次活性化される時点までに放電するために、約14.3msecの時間がかかる。

その後電子放出領域306bの電子放出素子が、スペーサ中性領域306において順次活性化される。上記のように、電子放出領域306bの活性化では、スペーサ351或いは352は極端には帯電しない。次に、電子放出領域308b及び309bの電子放出素子が、スペーサ隣接領域308及び309において順次活性化される。スペーサ352は、電子放出領域308b及び309bが活性化された時点では極端には帯電していないため、これらの領域308b及び309bから放出される電子は、著しく偏向されることなく、対応する光放出領域308a及び309bに達する。

次に、電子放出領域307b及び308bの電子放出素子が、スペーサ帯電領域307及び310において順次活性化される。再び、電子放出領域307b及び310bの活性化に応じてスペーサ351上に蓄積

された電荷は、その後電子放出領域308b及び309bが順次活性化される時点までに散逸される。その後電子放出領域311bの電子放出素子がスペーサ中性領域311において順次活性化される。

フラットパネルディスプレイ300の他の電子放出領域（図示せず）の活性化が、電子放出領域301b-311bに対して記載されるのと同様に継続される

。結果として、活性化の順序はスペーサ中性領域301の電子放出領域301bに戻り、上記した順序が繰り返される。再び、スペーサ隣接領域303-304及び308-309の電子放出領域303b-304b及び308b-309bが、二度目に活性化される時点までに、スペーサ351及び352上の電荷は、十分な時間をかけて散逸される。

電子放出領域303b、304b、308b並びに309bから放出される電子は、概ね偏向されることなく対応する光放出領域303a、304a、308a並びに309aに配向されるため、フェースプレート321の視認用表面において表示される画像は、スペーサ351及び352に隣接する暗線を示すことはないという利点がある。

電子放出領域301b-311bは、他の方法において電子放出することもでき、それは本発明の範囲内に入る。しかしながら、スペーサ隣接領域303、304、308並びに309の電子放出領域303b、304b、308b並びに309bは、スペーサ帯電領域302、305、307並びに310の電子放出領域302b、305b、307b並びに310bの活性化の直後に活性化されてはならない。

## 第2実施例

本発明の別の実施例に従って、スペーサ351及び352は、比較的高い誘電率になるように製造される。高誘電率は、 $100\epsilon_0$ より大き

いものとして定義され、ここでは $\epsilon_0$ は $8.85 \times 10^{-12} \text{ F/m}$ に等しい。さらに高誘電率は、 $400\epsilon_0 \sim 800\epsilon_0$ の範囲内にあるものとして定義される。スペーサの誘電率が大きい結果として、スペーサ351及び352に対する充電時定数は増加し、それによりこれらのスペーサが急速に帯電するのを防ぐ。スペーサ351及び352に電荷が急速に蓄積されるのを防ぐことにより、スペーサ隣接領域303、304、308並びに309の電子放出領域303b、304b、308b並びに309bにより放出される電子の偏向は最小化される。この実施例の1つの変形例に従って、フラットパネルディスプレイ300の電子放出素子の行が、第1実施例に関連して上記したような方法において活性化される。別

法では、フラットパネルディスプレイ300の電子放出素子の行は順次活性化してもよい。

本実施例の1つの変形例に従って、大きな誘電率のスペーサは、酸化チタン ( $\text{TiO}_2$ )、酸化アルミニウム ( $\text{Al}_2\text{O}_3$ ) 並びに酸化クロム ( $\text{Cr}_2\text{O}_3$ ) を含み、以下の表1に示される割合において製造される。

表 1

酸化チタン = 4.0%

酸化アルミニウム = 32.0%

酸化クロム = 64.0%

酸化チタンを約4%の割合に保持することにより、スペーサの誘電率は比較的高いレベルに保持される。上記の表1に示される組成物を有するスペーサは、以降「4/32/64」スペーサと呼ばれる。4/32/64スペーサは、1200~1500Hzの周波数で約700 $\epsilon_0$ ~750 $\epsilon_0$ の誘電率を示す。それと比較すると、1.6%のみの酸化チタ

ン、34.4%の酸化アルミニウム並びに64.0%の酸化クロムからなる組成物を有するスペーサは、100Hzでおよそ10 $\epsilon_0$ 乃至11 $\epsilon_0$ の誘電率を示す。従って、約4%の酸化チタンの割合を調整することにより、スペーサ351及び352の誘電率は著しく増加する。

さらに、4/32/64スペーサは、フラットパネルディスプレイ環境において好都合であると考えられる他の特性を示すという利点がある。より詳細には、4/32/64スペーサは、およそ7 $\times 10^8 \Omega/\square$ の比較的高い電気抵抗を示す。従って、酸化チタンの割合を約4%に保持することにより、スペーサは許容可能な範囲の電気抵抗に保持される。さらに4/32/64スペーサは、1kV~4kVの範囲内にある電圧において1~2.2の範囲内にある2次放出比を示す。

本発明の1つの変形例では、4/32/64スペーサは、従来のボールミルにおいてセラミック粉末、有機性結合剤並びに溶剤を混合することにより生成され

るスラリーから製造される。そのようなスラリーの配合が表2に示される。

表 2

酸化アルミニウム粉末	1 0 3 . 7 g
酸化クロム粉末	2 0 7 . 3 g
酸化チタン粉末	1 2 . 9 g
Butvar B 7 6	3 4 g
Santicizer 1 5 0	1 0 g
Kellox Z 3 Menahden oil	0 . 6 5 g
エタノール	1 0 5 g
トルエン	1 2 7 g

他の変形例では、セラミック配合物は、粒度を調整したり、或いは焼結過程を補助するように選択される改質剤を含む。二酸化シリコン、酸

化マグネシウム並びに酸化カルシウムのような化合物が改質剤として用いられる場合がある。

従来の方において、ミルドスラリーを用いて、60-120  $\mu\text{m}$ の厚さを有するテープが注型される。1つの変形例では、このテープは、幅10 cm×長さ15 cmの大きなウエハに切り分けられる。その後ウエハは従来のフラットセッタ (setter) に装填され、そのウエハが所望の抵抗率を示すまで空気並びに／また還元雰囲気において焼成される。

詳細には、ウエハは24℃の典型的な露点を有する水素雰囲気を用いて冷界周期窯内で焼成される。ウエハの有機性組成物がその窯内で熱分解される（すなわち除去される）必要がある場合には、水素雰囲気の露点はより高くされ（約50℃）、ウエハを損傷することなく有機組成物を容易に除去できるようにする。ウエハの有機性組成物が熱分解された後、露点はより高い露点（50℃）からより低い露点（24℃）に移されるであろう。熱分解は典型的には600℃の温度で完了する。典型的には、ウエハは1500℃のピーク温度で1～2時間焼成される。セラミック組成物の特性は詳細な焼成プロファイルにより調整される。開始時の原材料により、またスペーサにおいて要求される強度、抵抗率並びに二次電子放出の厳密な組み合わせにより、実際のピーク温度は1450℃と1750℃との間にあり、焼成プロファイルは、1時間から5時間の間、このピーク温度を

保持する。その後ウエハは取り出され、検査され、スペーサ351及び352として用いられるストリップに切り分けられる。1つの変形例では、これらのストリップは厚さ約2.25ミル（約0.06mm）、長さ2インチ（約5.1cm）並びに高さ50ミル（約1.27mm）を有する。

酸化チタンの割合を変更することによりスペーサの電気的抵抗率を調整するのに加えて、スペーサの電気的抵抗率は酸化クロムの割合を調整

することにより制御することもできる。酸化クロムの割合を増加することにより、スペーサの導電率は増加するようになる。しかしながら、酸化クロムの割合を増加することにより、スペーサ材料に要求される焼結温度も増加する。また電気抵抗率は、焼成中の炉内の酸素（ $\text{PO}_2$ ）の分圧を制御することにより、或いは $\text{H}_2$ と $\text{O}_2$ との比を変更して炉内の露点を変化させることによっても調整することができる。

### 第3実施例

第5図は、本発明の別の実施例に従ったフラットパネルディスプレイ500の模式図である。本実施例は上記の第2の実施例と組み合わせて、或いは第2の実施例とは個別に用いることができる。フラットパネルディスプレイ500では、スペーサ501-503のような複数のスペーサが、フェースプレート構造体510とバックプレート構造体511との間に接続される。さらに各スペーサ501-503は、共通バス504に接続される対応するフェース電極501a-503aを備える。各フェース電極501a-503aは、フェースプレート構造体510とバックプレート構造体511との間の位置において対応するスペーサ501-503の外側表面上に配置される。共通バス504は、スペーサ501-503の抵抗とコンデンサとを効率的に結合する。また共通バス504は全てのスペーサ501-503の中で電荷を分配する。例えば、スペーサ501に隣接するスペーサ帯電領域が活性化される時、その結果生じる電荷は、共通バス504によりスペーサ501、502、並びに503の中に分配されるであろう。これはスペーサ501上に蓄積される電荷を減少させるという利点をもたらす（共通バス504がない場合にスペーサ501上に蓄積される電荷と比較した場合

）。スペーサ502及び503上に蓄積された電荷はこの時点では増加する（共通

バス504がない場合にスペーサ502及び503上に蓄積される電荷と比較した場合）が、スペーサ502及び503に対応するスペーサ隣接領域が、ある時間が経過まで活性化されないため、そのように電荷が増加するのは許容可能である。

第6図は、本実施例に用いることができるスペーサ601の等角図である。スペーサ601は、スペーサ本体602、フェース電極603-604並びにエッジ電極606a、606b並びに607を備える。1つの実施例では、スペーサ本体602は第2の実施例において記載された4/32/64スペーサ材料からなる。別法では、限定するわけではないが、遷移金属酸化物を含むセラミックのような一様な電氣的抵抗性の材料、或いは電氣的抵抗性の外皮を備える電氣的絶縁性のコア材料の固体片を含む別の従来のスペーサ材料からなる。フェース電極603及び604、並びにエッジ電極606a、606b並びに607は、アルミニウム或いは銅のような導電性材料からなる。フェース電極603及びエッジ電極606a、606b並びに607の製作は、出願人を同じくする同時係属の米国特許出願第08/414,408号に詳細に記載される。

フェース電極603及び604、並びにエッジ電極606a、606b並びに607は、スペーサ601に沿って電圧分布を調整する。スペーサ601は約2.25ミル（約0.06mm）の厚さTを有し、その値は50ミル（約1.27mm）のその高さHと比較して相対的に小さいため、フェース電極603及び604は、スペーサ601に渡る電圧分布を調整するためにスペーサ本体602を1つの表面上にのみ必要とされる。

間隙605がエッジ電極606aと606bとの間に存在する。間隙605の寸法は、エッジ電極606aがエッジ電極606bから電氣的

に絶縁されるように選択される。ある特定の実施例では、間隙605は約50ミル（約1.27mm）の幅Wを有する。以下により詳細に記載するように、エッ

ジ電極606aはフラットパネルディスプレイの光放出構造体への電氣的接続をもたらし、エッジ電極606bはフェース電極603と共通バスとの間の電氣的接続をもたらし、さらにエッジ電極607はフラットパネルディスプレイの電子放出構造体への電氣的接続をもたらす。

第7図は、フラットパネルディスプレイ700の上側表面の模式図である。第8図は、第7図の線8-8に沿って見たフラットパネルディスプレイ700の断面図である。第9図は、第7図の線9-9に沿って見たフラットパネルディスプレイ700の断面図である。フラットパネルディスプレイ700は、スペーサ701-707、フェースプレート構造体720、バックプレート構造体730、共通バス構造体723並びに側壁構造体724を備える。フェースプレート構造体720は、絶縁性フェースプレート721及び光放出構造体722を備える。バックプレート構造体730は、バックプレート731及び電子放出構造体732を備える。

記載される実施例では、各スペーサ701-707はスペーサ601（第6図）と同一である。第7図に示されるように、スペーサ701-707は、フラットパネルディスプレイ700の画素行と並列に光放出構造体722間に水平に延在する。光放出構造体722は、フラットパネルディスプレイ700の視認用表面を画定する。共通バス構造体723はこの視認用表面から横方向に隔離される。側壁構造体724は、光放出構造体722及び共通バス構造体723を横方向に包囲する。

第8図に示されるように、側壁構造体724は、フェースプレート構造体720とバックプレート構造体730との間に延在する。フェース

プレート構造体720の光放出構造体722は、光放出材料722a、マトリックス部722b並びに導電性層722cを備える。導電性層722cは、側壁構造体724の外側境界の外側に延在し、電源740に接続される。共通バス構造体723は、絶縁性ストリップ723a及び導電性バス層723bを備える。1つの実施例では、絶縁性ストリップ723aはマトリックス部722bと同時に形成され、それにより絶縁性ストリップ723aとマトリックス部722bの厚

さが概ね同じになることを確保する。ある特定の変形例では、絶縁性ストリップ723a及びマトリックス部722bはポリイミド樹脂から形成され、約2ミル（約0.05mm）の厚さTを有する。さらに絶縁性ストリップ723aは約50～100ミル（約1.27～2.54mm）の幅Wを有する。また導電性層722c及び723bも同時に形成されるてもよい。導電性層722c及び723bの厚さは、絶縁性ストリップ723a及びマトリックス部722bの厚さに比べて無視できる。絶縁性ストリップ723a及びマトリックス部722bが概ね同じ厚さを有するため、導電性層722c及び723bはフェースプレート721から同じ距離に配置され、それにより導電性層722c及び723bとスペーサ701-707との間の接触を容易にする。

さらに、第8図を参照すると、スペーサ707は、本体757、エッジ電極767a、767b並びに768、フェース電極777及び778、並びに間隙755を備える。光放出構造体722の導電性層722cがエッジ電極767aに接触し、共通バス構造体723の導電性バス層723bがエッジ電極767bに接触し、さらにバックプレート730の電子放出構造体732のエッジ電極768に接触するように、スペーサ707はフェースプレート構造体720とバックプレート構造体730との間に接続される。間隙755はエッジ電極767aと767b

とを電氣的に絶縁する。フェース電極777は、図示されるように、エッジ電極767bに電氣的に接続される。各残りのスペーサ701-706はスペーサ707と同様に接続される。第8図では示されていないが、スペーサ707の上側部分はフェースプレート構造体720上のスペーサ支持構造体と係合することができるということは理解されよう。そのようなスペーサ支持構造体は、図を明瞭に示すために図示されていない。しかしながら、そのようなスペーサ支持構造体は、出願人を同じくする同時係属の1994年1月31日出願の米国特許出願第08,188,855号並びに1994年11月21日出願の米国特許出願第08/343,074号に詳細に記載されており、全体を参照して本明細書の一部としている。



第9図に示されるように、各スペーサ701-706はスペーサ707に対して上記したのと同様に対応するエッジ電極761-766と接触する対応するフェース電極771-776を備える。各エッジ電極761-766は、スペーサ707と同様に導電性バス層723bと接触する。その結果、導電性バス層723bはフェース電極771-777と接触する共通バスを実現する。1つの変形例では、導電性バス構造体723は、約8インチ（約20cm）の長さLを有する。

電子放出構造体723の電子放出素子の行が、矢印780により示される方向に電子放出する場合には、スペーサ701は、スペーサ701-707の中で、電荷が蓄積される条件が生じる最初のスペーサである。しかしながら、導電性バス層723bを介してフェース電極771-777に共通に接続されており、スペーサ701の有効キャパシタンスは増加するため、スペーサ701への急速な電荷の蓄積は防止される。スペーサ702-707上に蓄積される電荷も、フェース電極771-777を導電性バス層723bに共通に接続することにより同様に低減さ

れる。

#### 第4実施例

第10図は、本発明の別の実施例に従ったフラットパネルディスプレイ1000の模式図である。第3実施例と同様に、本実施例は上記の第1及び第2実施例と組み合わせて、或いは上記の実施例とは個別に用いることができる。第10図に示されるフラットパネルディスプレイ1000は第5図に示されるフラットパネルディスプレイ500と同様であるため、第5図と第10図における同様の素子は同じ参照番号が付されている。さらに第10図は、共通バス504とグラウンド1011との間に接続される外部コンデンサ1010を備える。コンデンサ1010はスペーサ501-503の有効キャパシタンスを増加させ、それによりスペーサ501-503に関する充電時定数をさらに増加し、これらのスペーサが急速に帯電するのを防ぐ。

第11図は、本発明の実施例に従ったフラットパネルディスプレイ1100の

上側表面の模式図である。第12図は、第11図の線12-12に沿って見たフラットパネルディスプレイ1100の断面図である。フラットパネルディスプレイ1100はフラットパネルディスプレイ700（第7図-第9図）と同様であるため、フラットパネルディスプレイ700及び1100における同様の構成要素は、同じ参照番号が付されている。上記したフラットパネルディスプレイ700の構成要素に比べて、フラットパネルディスプレイ1100はさらに、共通バス構造体723の導電性バス層723bと接触する共通バス延長部材1101を備える。1つの変形例では、共通バス延長部材1101及び導電性バス層723bは一体をなす構成要素として製造される（第12図参照）。バス延長部材1101は、側壁構造体724の外側境界の外側にまでフ

ェースプレート721に沿って延在する。外部コンデンサ1010は、側壁構造体724の外側境界の外側の点においてバス延長部材1101に接続される。このようにして、フェース電極771-777は外部コンデンサ1101に接続される。これはスペーサ701-707のキャパシタンスを増加させ、これらのスペーサ上に電荷が急速に蓄積されるのを防ぐ。

#### 第5実施例

第13図は、本発明のさらに別の実施例に従ったフラットパネルディスプレイ1300の模式図である。第3及び第4実施例と同様に、本実施例は、上記の第1及び第2実施例と組み合わせて、或いは上記の実施例とは個別に用いることができる。フラットパネルディスプレイ1300はフラットパネルディスプレイ500（第5図）と同様であるため、第5図及び第13図における同様の構成要素は同じ参照番号が付される。さらに第13図は、共通バス504と電圧源1311との間に接続されるコンデンサ1310を備える。コンデンサ1310はスペーサ501-503の有効キャパシタンスを増加させ、それによりスペーサ501-503に対する充電時定数を増加させ、これらのスペーサが急速に帯電するのを防ぐ。

第14図は、本発明の実施例に従ったフラットパネルディスプレイ1400の上側表面の模式図である。第15図は、第14図の線15-15に沿って見た断

面図であり、第16図は、第14図の線16-16に沿って見た断面図である。フラットパネルディスプレイ1400はフラットパネルディスプレイ700（第7図-第9図）と同様であるため、同様の構成要素は同じ参照番号が付される。

フラットパネルディスプレイ1400は、フェースプレート721の

内側表面上に形成されるコンデンサ構造体1310を備える。第14図に示されるように、コンデンサ構造体1310は、共通バス構造体723（第7図）の位置と同様の位置においてディスプレイ1400の視認用表面の外側に配置される。

。

第15図及び第16図に示されるように、コンデンサ構造体1310は、第1の導電性プレート1301、誘電性層1302並びに第2の導電性プレート1303を備える。図示される実施例では、第1の導電性プレート1301は、光放出構造体722の導電性層722cと一体をなす。すなわち第1の導電性プレート1301及び導電性層720cは、導電性材料の連続層を形成するために同時に堆積する。誘電性層1302は、例えば約2ミル（約0.05mm）の厚さT、約50～100ミル（約1.27～2.54mm）の幅W並びに約8インチ（約20cm）の長さLを有するポリイミド樹脂の層である。第2の導電性プレート1303は誘電性層1302の下側表面上に堆積する。プレート1301、1303並びに誘電性層1302を組み合わせた厚さは、マトリックス722bと、光放出構造体722の導電性層722cを組み合わせた厚さに等しくなるように選択される。その結果、半導体構造体1310及び光放出構造体722の両方が、スペーサ701-707との良好な電氣的コンタクトを形成する。

第1及び第2の導電性プレート1301及び1303並びに誘電性層1302はコンデンサを形成する。このコンデンサの第1の導電性プレート1301は光放出構造体722の導電性層722c（第15図）を介して電圧源1311に接続される。このコンデンサの第2の導電性プレート1303は、フェース電極771-777に接続され、フェース電極771-777が第2の導電性プレート1303から並列に延在するようにする。コンデンサ構造体1310のキャパシタンスは、厚さ(T)、

断面積 ( $L \times W$ ) 並びに誘電性層 1302 の誘電率により決定される。これらのパラメータを変更して、所望のキャパシタンスを有するコンデンサ構造体 1310 を形成することができる。記載される実施例では、コンデンサ構造体 1310 は約 3 ~ 6 nF の範囲にあるキャパシタンスを有する。

本発明の別の変形例では、第 1 の導電性プレート 1301 は、光放出構造体 722 の導電性層 722c に接続されない。その代わりに、第 1 の導電性プレート 1301 が側壁構造体 724 (例えば第 11 図の延長部材 1101 を参照) の外側境界の外側に引き出され、グランド電圧源に接続される。

#### 第 6 実施例

第 17 図は、本発明の別の実施例に従ったフラットパネルディスプレイ 1700 の上側表面の模式図である。フラットパネルディスプレイ 1700 は、画素行と (並列にではなく) 垂直に配置される複数のスペーサ 1701 - 1705 を備える。破線 1710 はこれらの画素行の 1 つを表す。フラットパネルディスプレイ 1700 の画素行が活性化されるに従って、各スペーサ 1701 - 1705 が活性化された画素行に隣接する位置において帯電する。例えば、画素行 1710 が活性化される時、スペーサ 1701 - 1705 は位置 1701a - 1705a において帯電するようになる。

第 18 図はスペーサ 1701 の等角図である。スペーサ 1702 - 1705 はスペーサ 1701 と同一である。スペーサ 1701 はスペーサ本体 1711、エッジ電極 1712 - 1713 並びにフェース電極 1714 を備える。スペーサ 1701 の種々の構成要素は、第 6 図に関連して上記したスペーサ 601 の構成要素と概ね同一である。フェース電極

1714 はスペーサ 1701 の高さの概ね中間位置に配置され、スペーサ本体 1711 の長さに沿って、エッジ電極 1712 及び 1713 と概ね並列に延在する。位置 1701a のようなスペーサ 1701 に沿ったある特定の位置が過大な電荷に曝される時、この電荷は、フェース電極 1714 により、矢印 1721 及び 1722 により示されるようなスペーサ 1701 の長さに沿って分配 (及び散逸) されるようになる。従って、活性化された画素行に隣接する位置においてスペー

サ１７０１－１７０５に沿って過大な電荷が蓄積されることはない。

本発明は幾つかの実施例に関連して記載されてきたが、本発明は開示された実施例に制限されるものではなく、当業者には明らかと思われる種々の変更例が実現可能であることは理解されよう。共通バス構造体７２３及びコンデンサ構造体１３１０はバックプレート並びにフェースプレート上に製造することもできる。従って本発明は以下の請求の範囲によってのみ限定される。

【図 1】

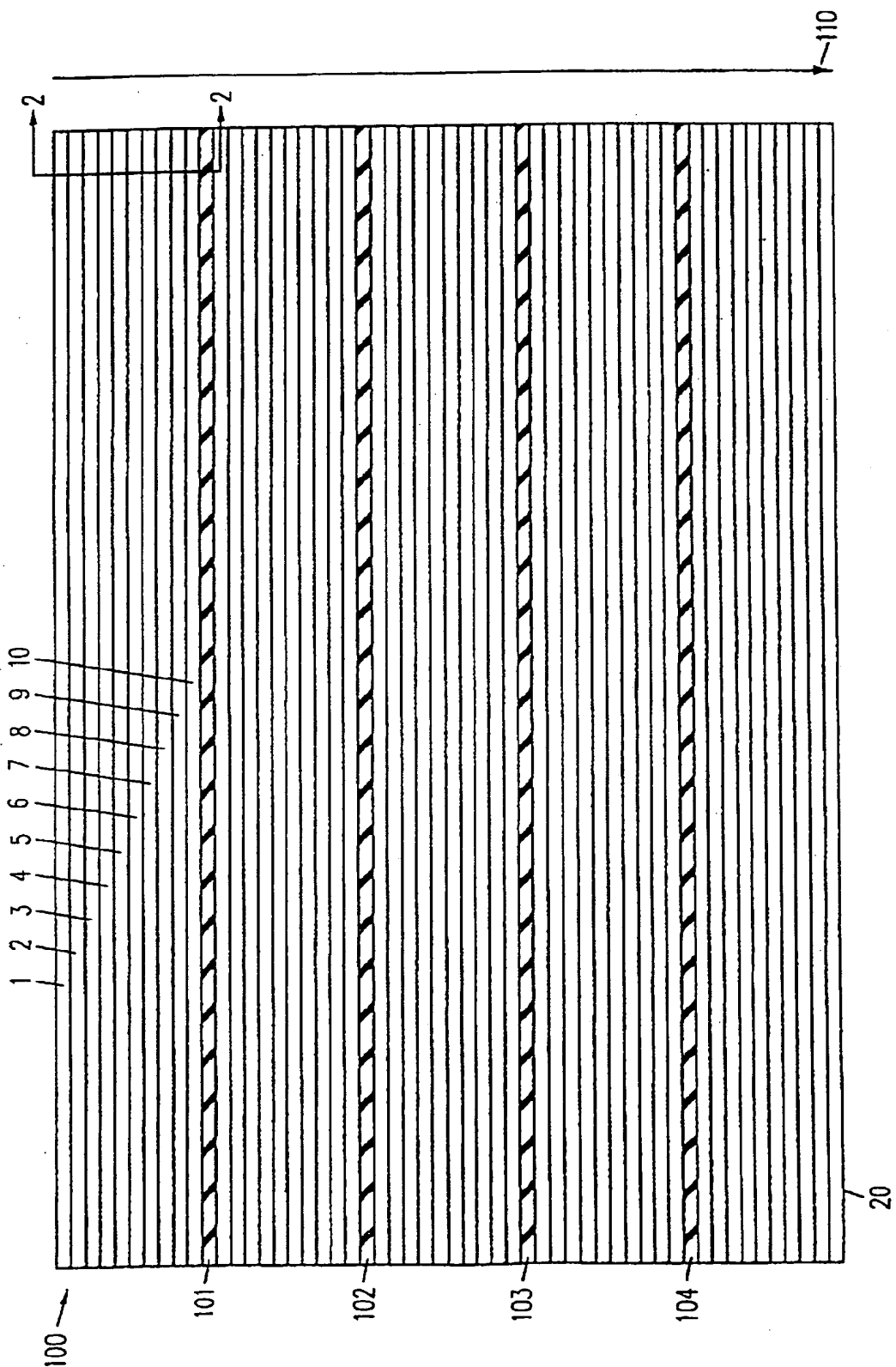


FIG. 1



【図3】

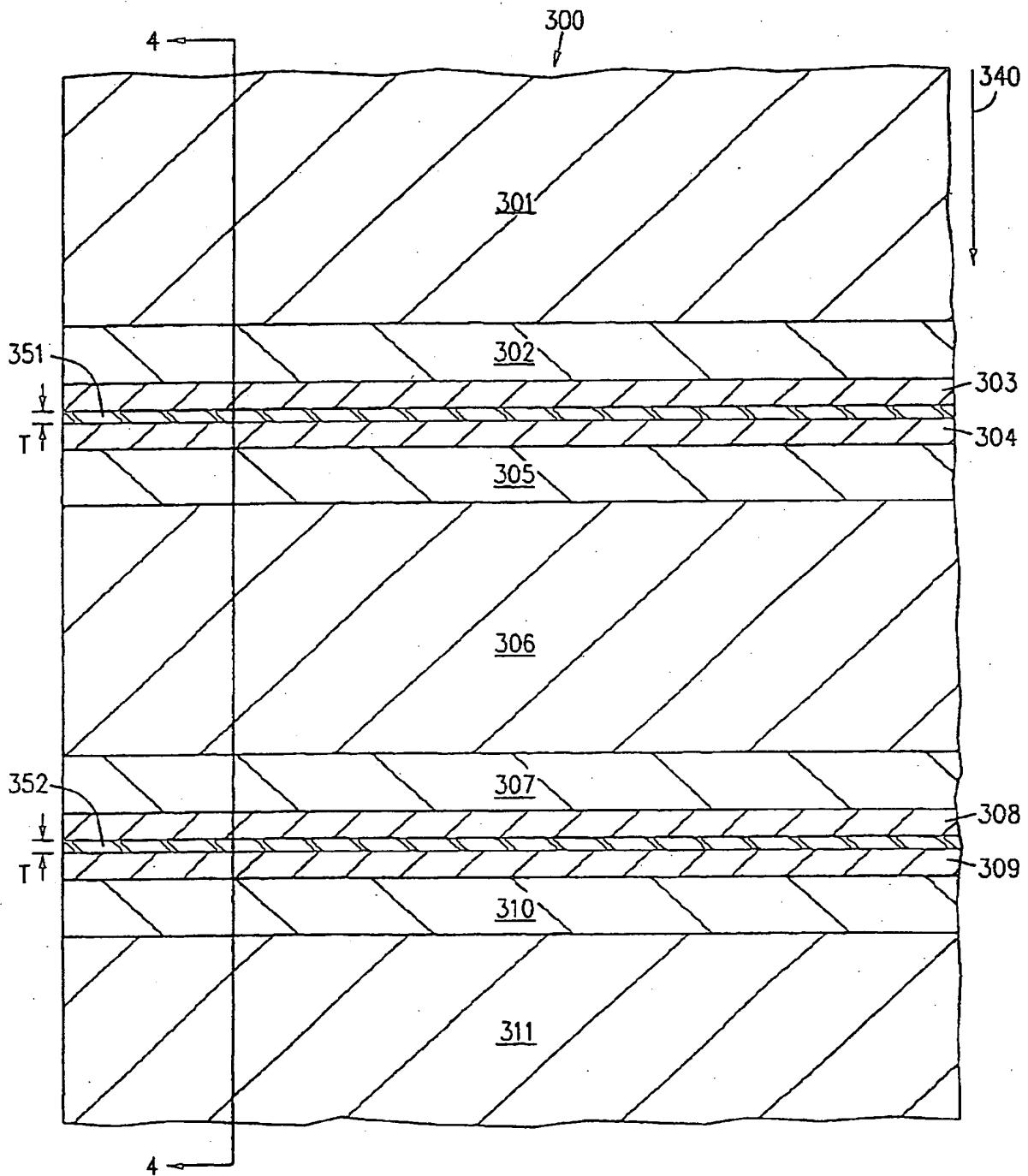


FIG. 3



【図4】

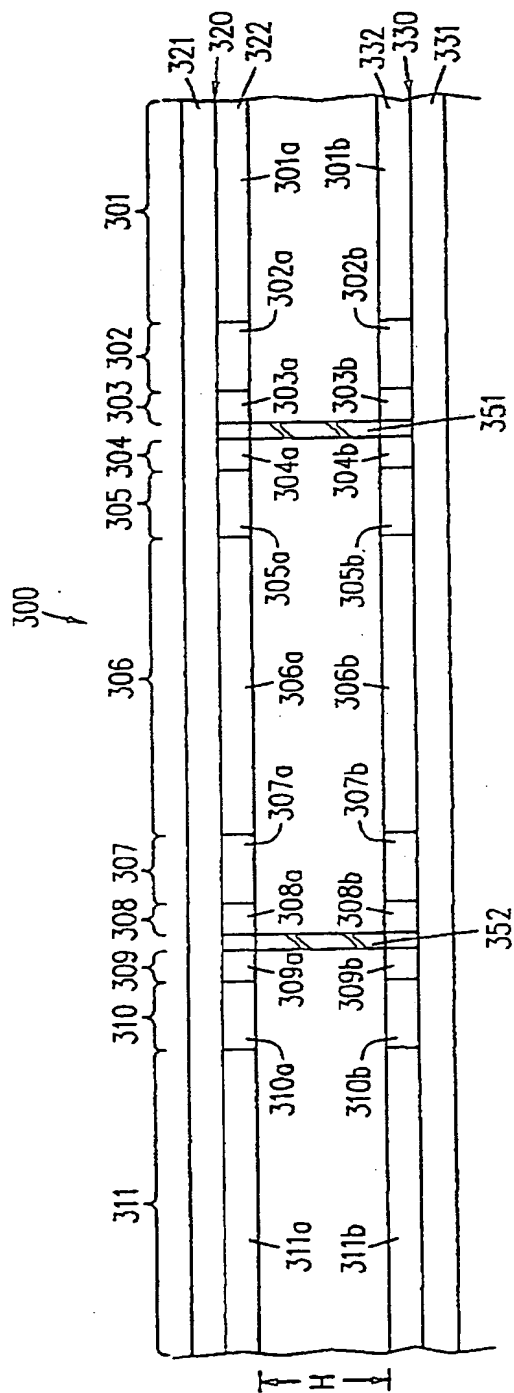


FIG. 4

【図5】

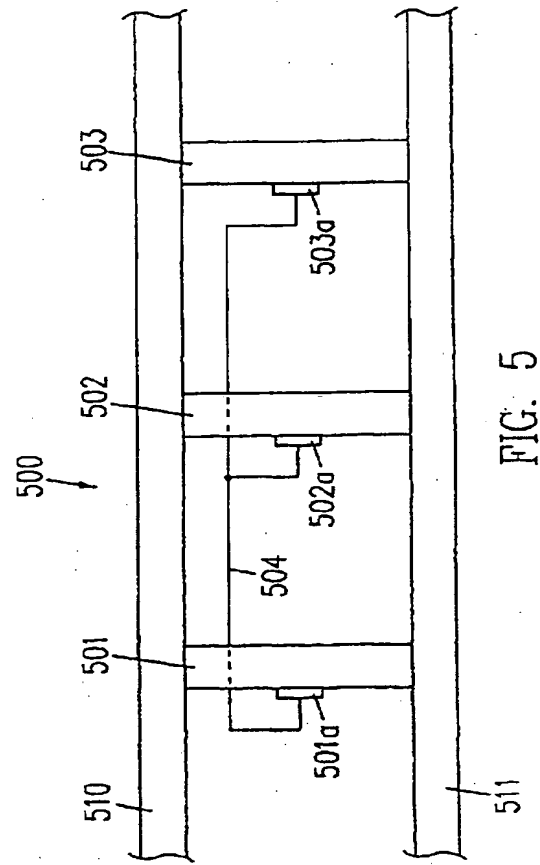


FIG. 5

【図6】

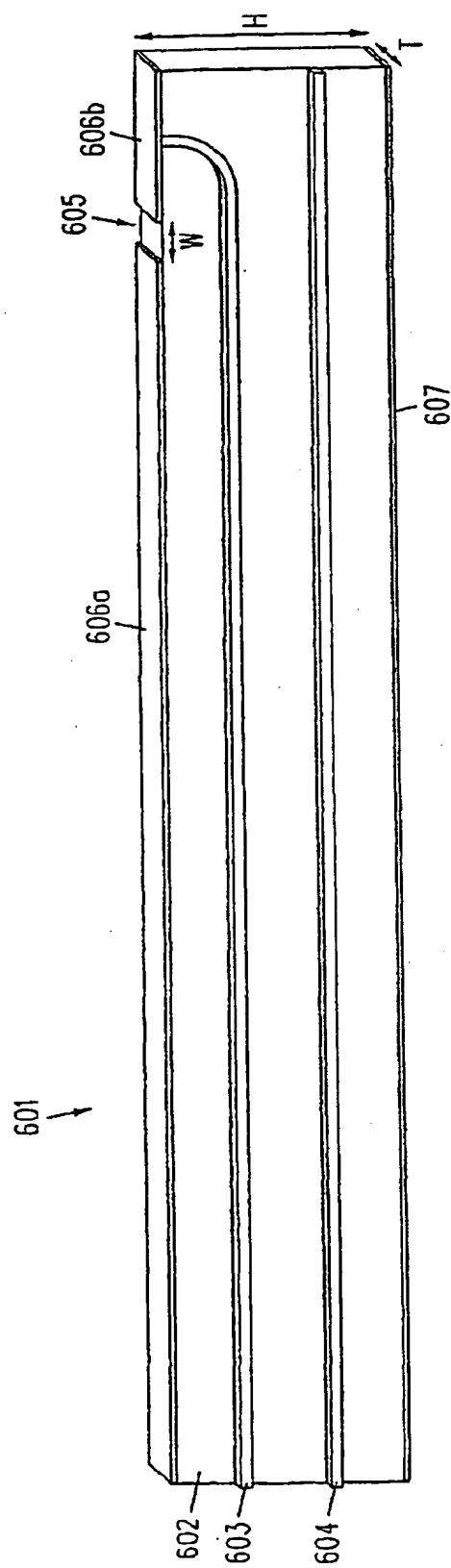


FIG. 6

【図 7】

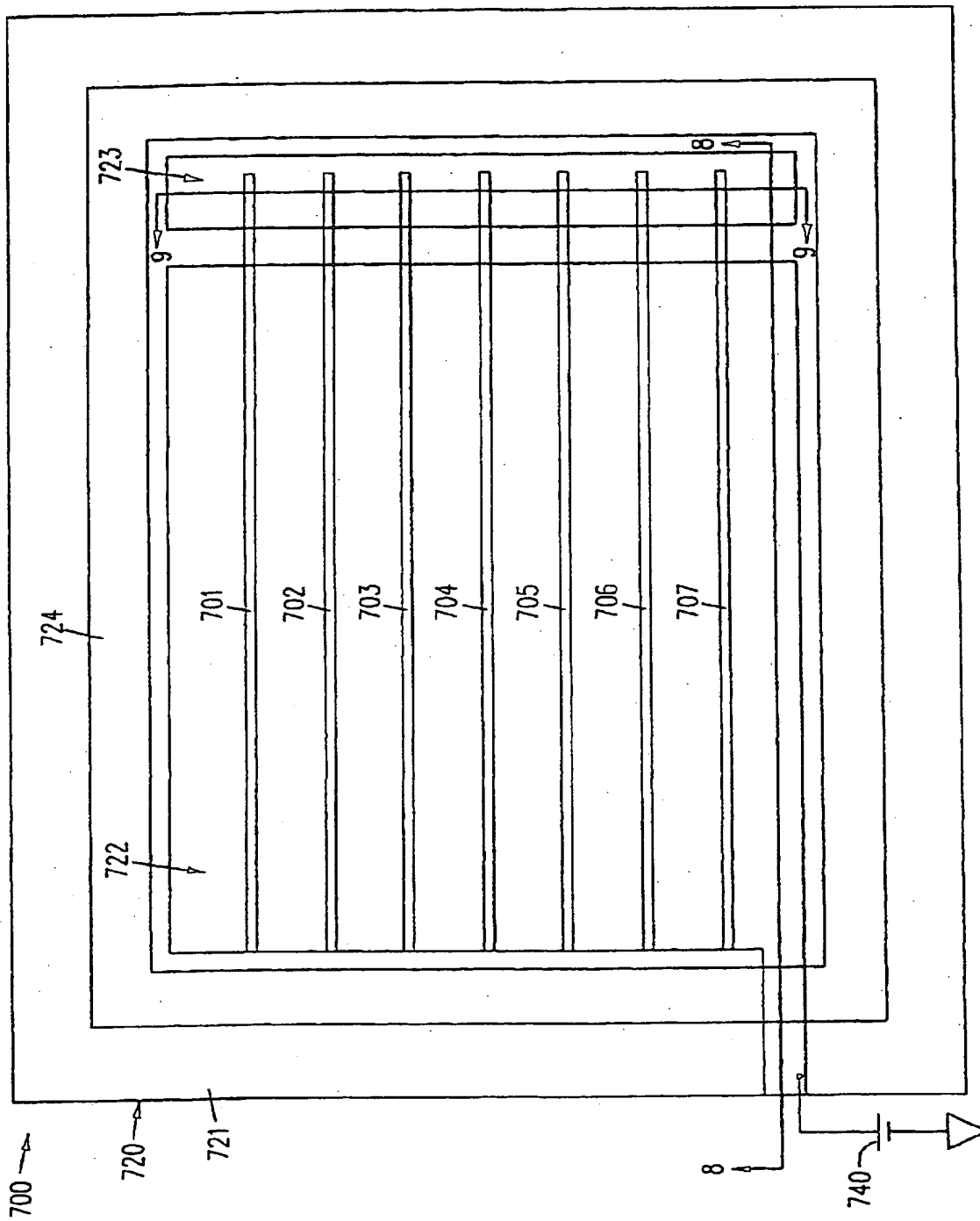


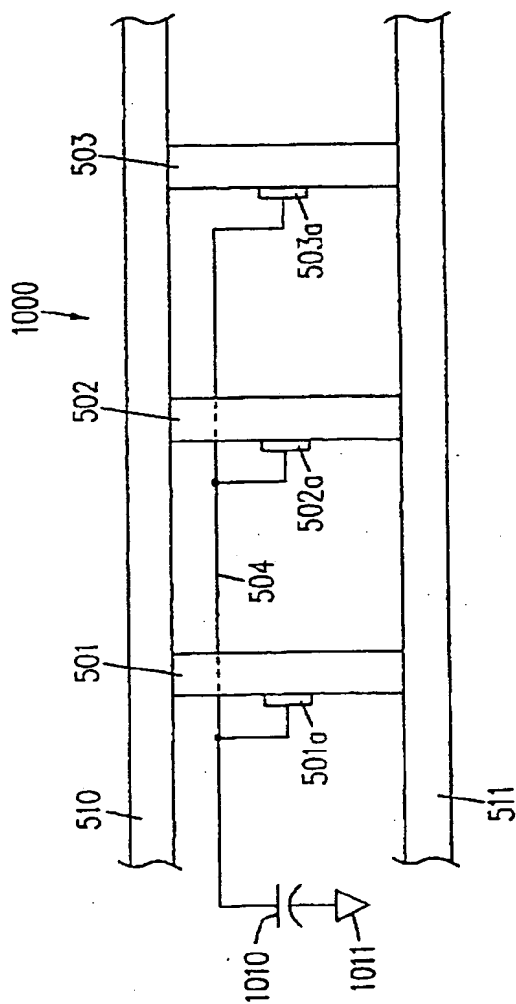
FIG. 7





【図10】

FIG. 10



【図 11】

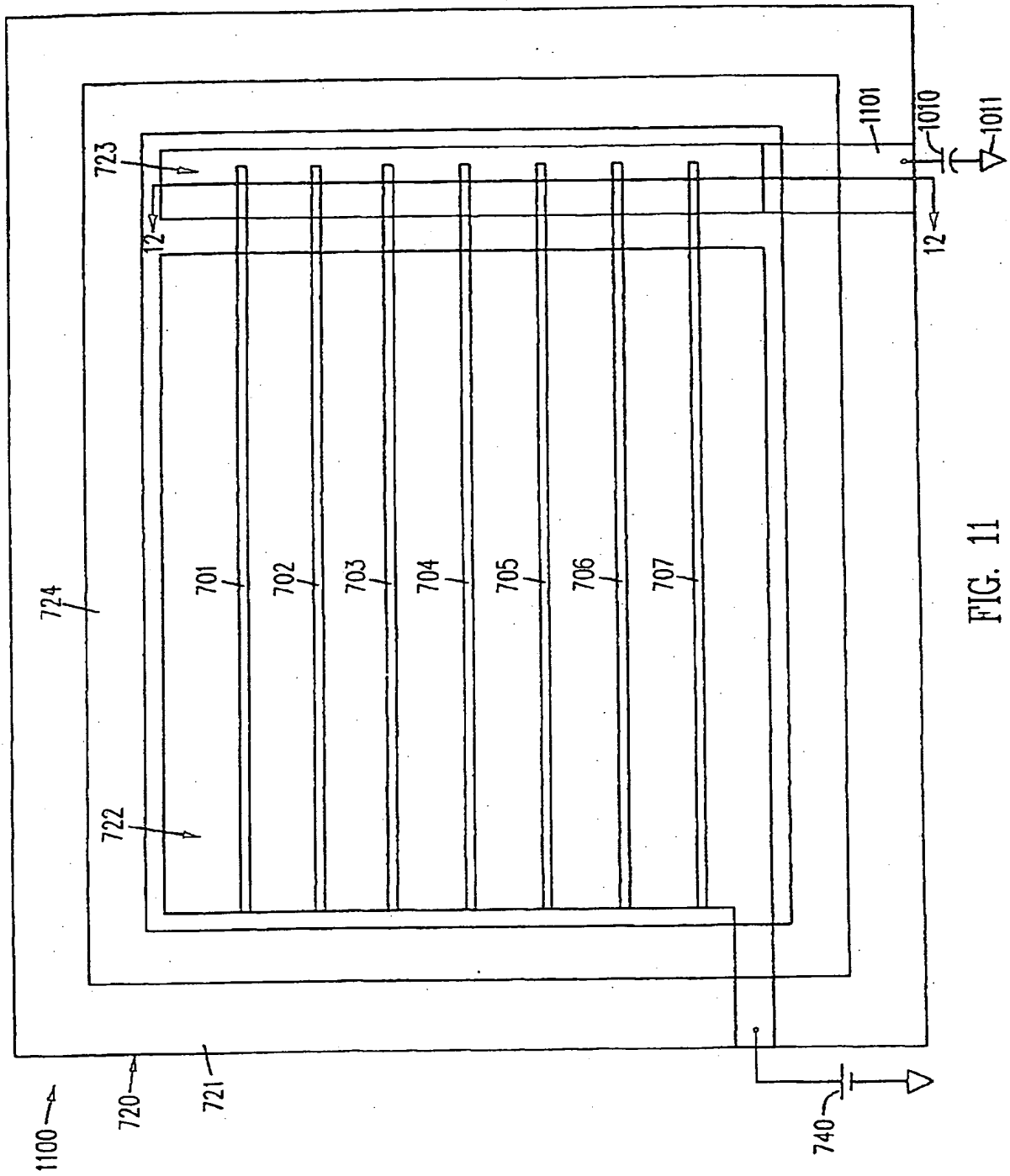


FIG. 11



【図12】

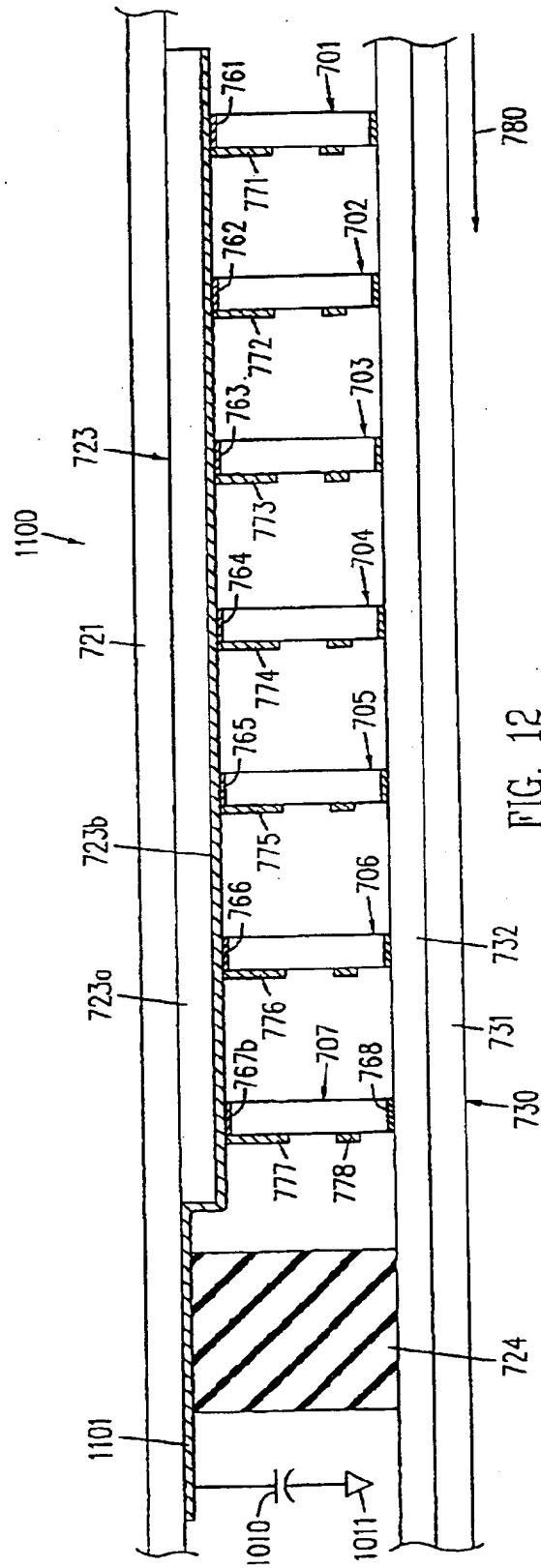
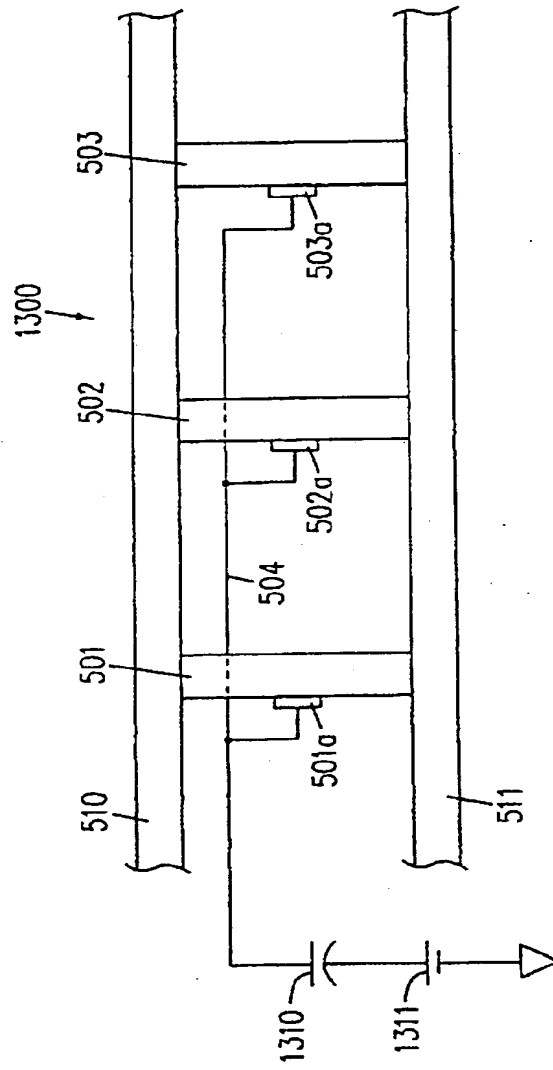


FIG. 12

【図13】

FIG. 13



【図14】

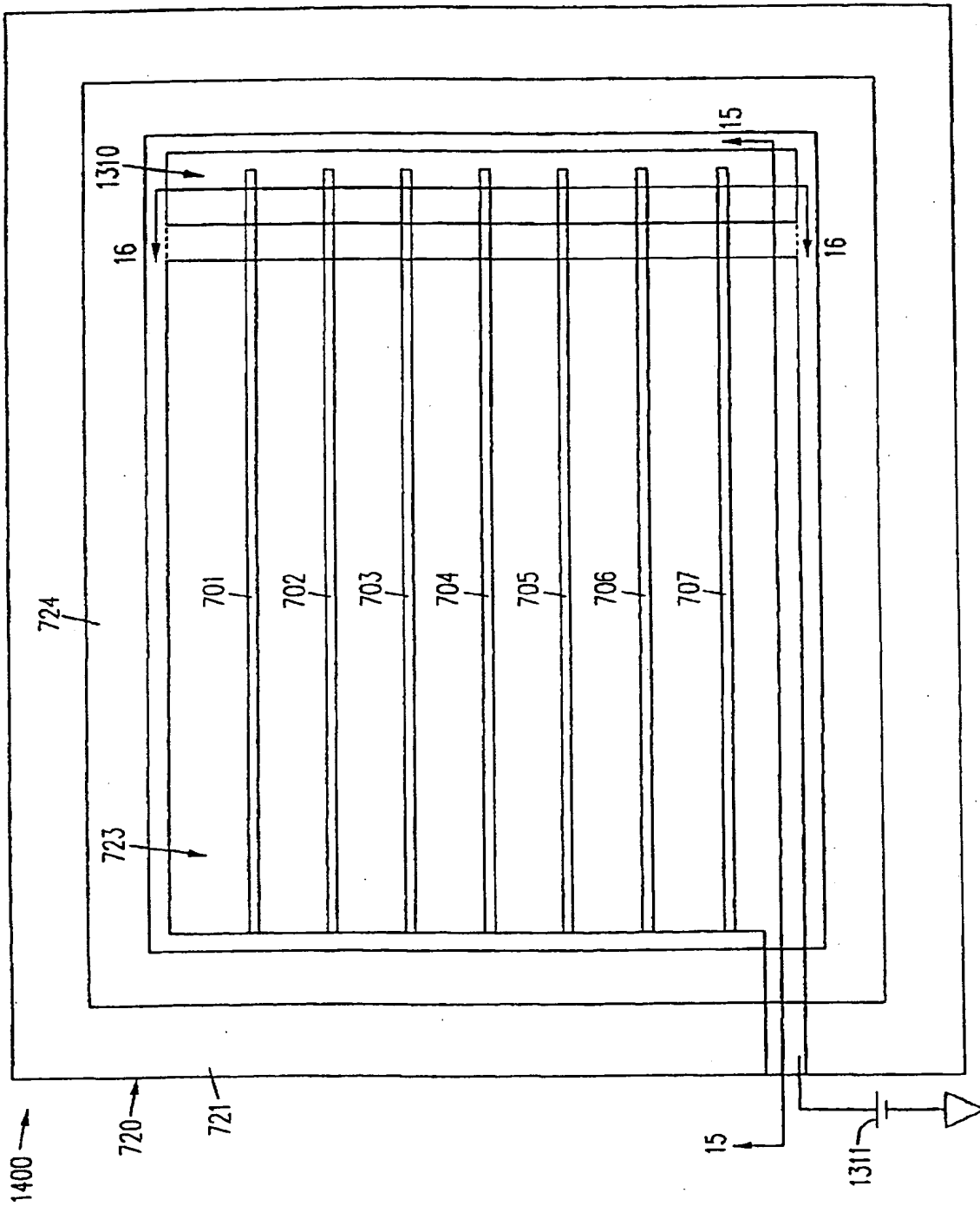


FIG. 14



【図16】

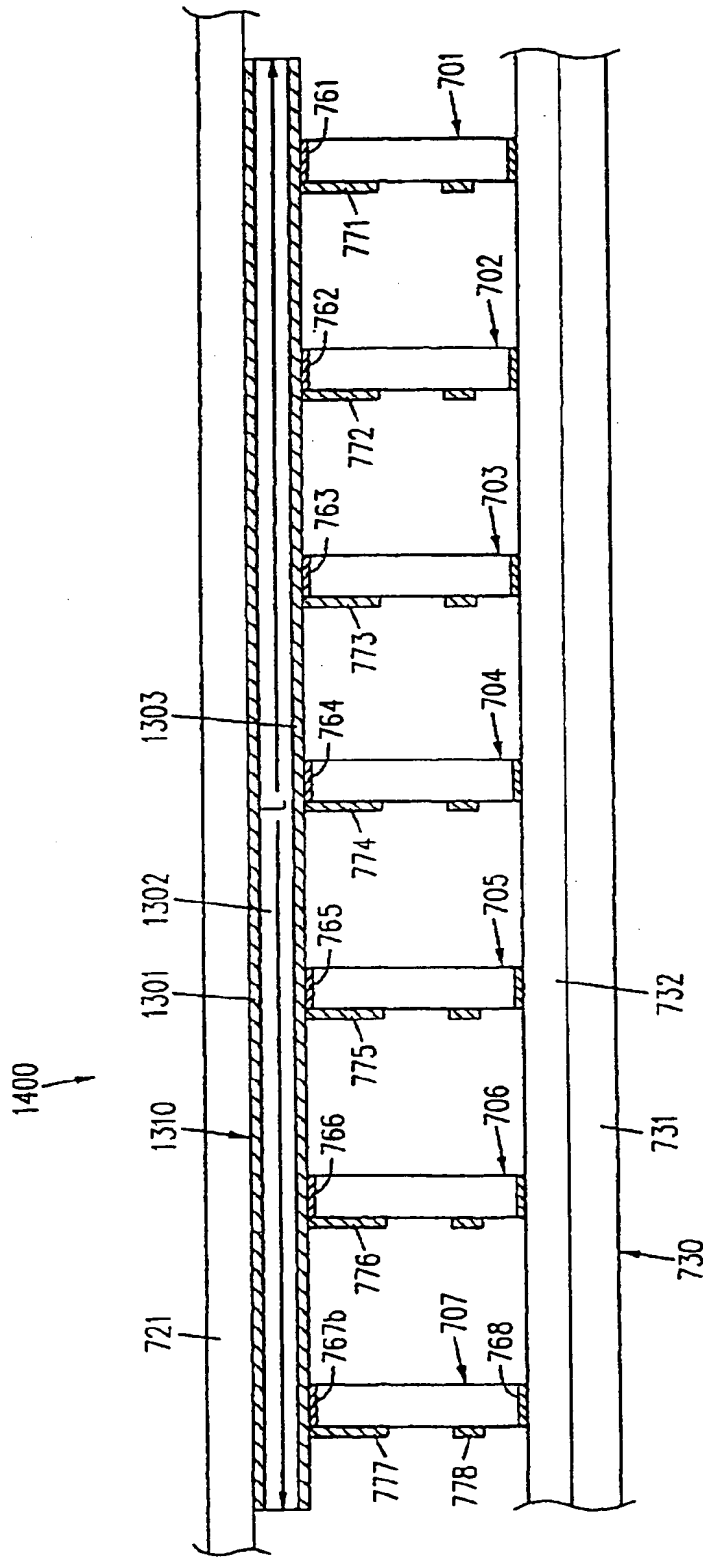


FIG. 16

【図 17】

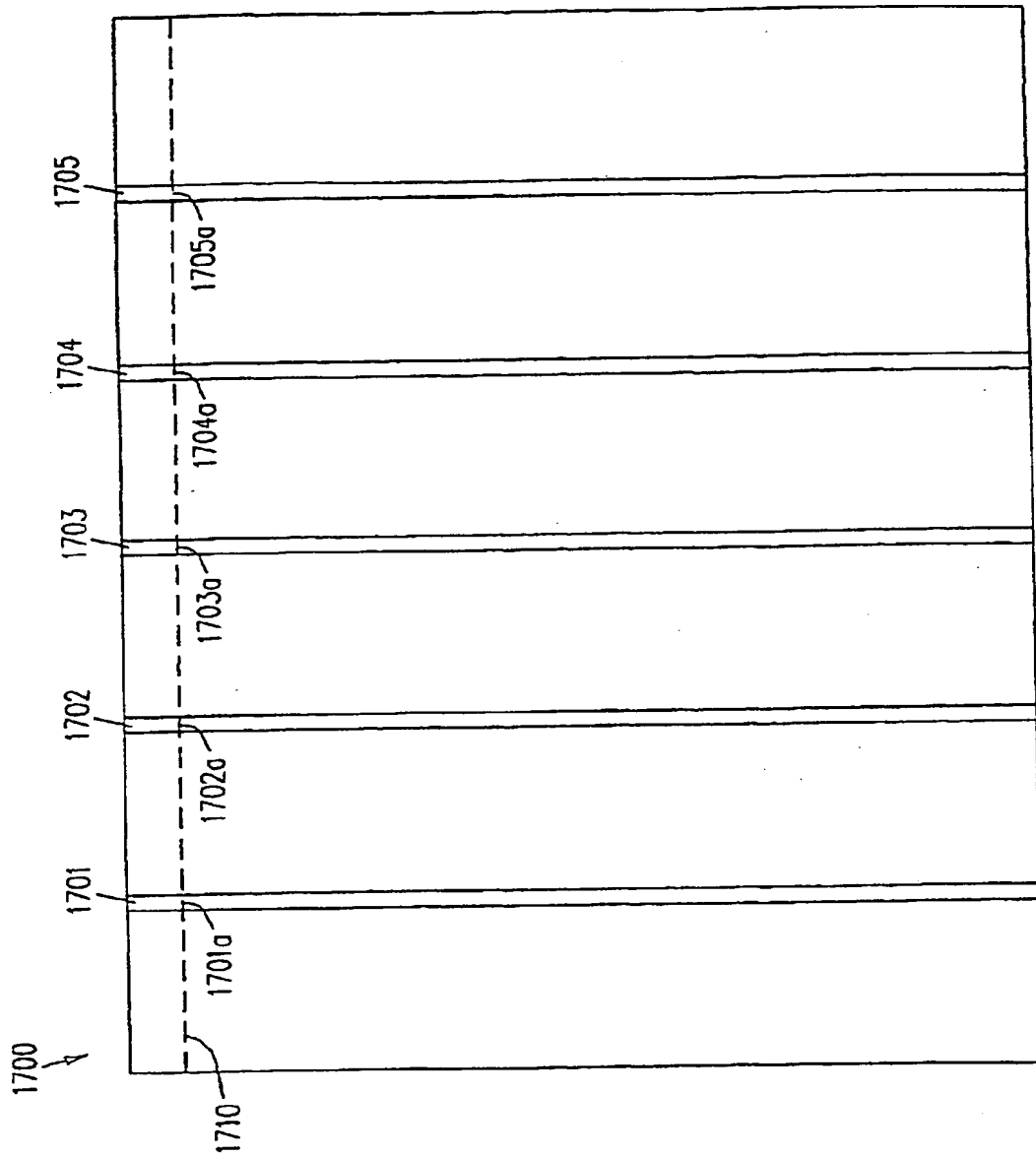


FIG. 17

【図18】

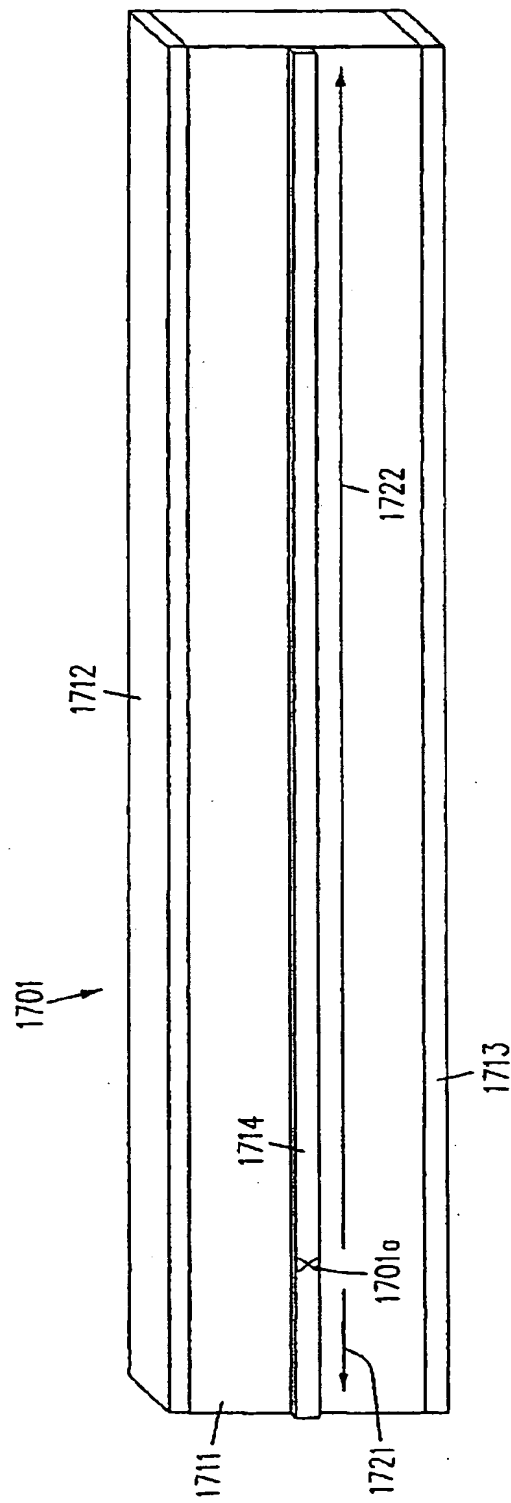


FIG. 18

【手続補正書】特許法第184条の8第1項

【提出日】平成10年2月18日(1998. 2. 18)

【補正内容】

アクティブ領域において、フェースプレート構造体とバックプレート構造体との間に配置される。

フェースプレート構造体は、絶縁性フェースプレート（典型的にはガラス）及び絶縁性フェースプレートの内側表面上に形成される光放出構造体を備える。光放出構造体は光放出材料、すなわち燐光体を備え、それらがディスプレイのアクティブ領域を画定する。バックプレート構造体は、絶縁性バックプレート及びバックプレートの内側表面上に配置される電子放出構造体を備える。電子放出構造体は、選択的に励起されて電子を解放する複数の電子放出素子（例えばフィールドエミッタ）を備える。光放出構造体は、電子放出構造体に対して相対的に高い正の電圧（例えば5 kV）に保持される。その結果、電子放出素子により解放される電子は光放出構造体の燐光体に向かって加速され、燐光体はフェースプレートの外側表面（視認用表面）において、観察者により視認される光を放出するようになる。

第1図は、フラットパネルディスプレイ100の視認用表面の模式図である。フラットパネルディスプレイ100のフェースプレート構造体20は、画素行1-10のように光放出素子からなる複数の行（すなわち画素行）内に配列される光放出構造体を備える。フラットパネルディスプレイ100は典型的には数百の画素行を備えており、各行が数百の画素を含んでいる。スペーサ101-104は、画素行1-10と並列にディスプレイ100の間に水平に延在する。画素行1-10及びスペーサ101-104は、例示するのを目的としているため、第1図においてはかなり拡大されている。

フラットパネルディスプレイ100の電子放出構造体は、フェースプレート構造体20の画素行に対応する電子放出素子の行内に配列される。所与の一行内にある全ての電子放出素子は同時に活性化される（すなわ

ち電子放出される）。電子放出素子の行が全般に活性化されるように記載されて



いる場合であっても、電子放出素子の活性化される行において、暗くすべき画像に対応する任意の電子放出素子は、当然ではあるが実際には活性化されない。この考えに基づいて、電子放出素子の行（或いは画素行）の活性化は、より正確には、その行が情報の表示に関連するように選択されることを意味する。電子放出素子の行は順次活性化される。従って、画素行1に対応する電子放出素子の行が最初に活性化され、その後画素行2-10に対応する電子放出素子の行が順次活性化される。電子放出順序は、矢印110により示される方向に継続される。

第2図は、第1図の線2-2に沿った見たフラットパネルディスプレイ100の断面図である。第2図はフェースプレート21及び光放出構造体22を備えるフェースプレート構造体20、バックプレート31及び電子放出構造体32を備えるバックプレート構造体30並びにスペーサ101を備える。光放出構造体22は画素行1-10を備え、電子放出構造体32は、対応する電子放出素子1a-10aの行を備える。

上記のように、電子放出素子1a-10aの行は、対応する画素行1-10において順次電子放出する。電子放出素子1a-10aから放出される電子が画素行1-10の光放出材料に衝突する時、電子の散乱が生ずる。画素行6-9に対して示されるように、散乱した電子はスペーサ101に衝突するようになる。スペーサ101に衝突する散乱した電子のエネルギーは、スペーサ101から電子を解放するだけの十分に大きなエネルギーであり、それによりスペーサ101の表面が正に帯電するようになる。スペーサ101に近接した電子放出素子の行が順次活性化されるに従って、スペーサ101は急速に帯電する。

スペーサ101に隣接して配置される電子放出素子（例えば電子放出素子10a）の行が活性化される時、スペーサ101に蓄積される正の

って見たフラットパネルディスプレイ300の断面図である。フラットパネルディスプレイ300の図示される部分は、フェースプレート構造体320、バックプレート構造体330並びにスペーサ351及び352を備える。フェースプレート構造体320は、電氣的絶縁性ガラスフェースプレート321及び光放出構造体322を備える従来の構造体である。またバックプレート構造体330も従

来通りの構造体であり、電氣的絶縁性バックプレート331及び電子放出構造体332を備える。フェースプレート構造体320及びバックプレート構造体330は、出願人を同じくする1993年6月22日出願のCurtin等による「Flat Panel display with Ceramic Backplate」というタイトルの米国特許出願第08/081,913号、及び1995年3月16日公開のPCT国際公開公報WO95/07543に詳細に記載されており、それらの全体を参照して本明細書の一部としている。

1つの変形例では、各スペーサ351及び352は遷移金属酸化物を含むセラミックのような均一な電氣的抵抗性の材料の固体片から形成される。また各スペーサ351及び352は、外側表面上に形成される電氣的抵抗性の外皮を備える電氣的絶縁性のコア材から形成されてもよい。スペーサ351および352は、Schmid等による1996年3月29日出願のPCT国際特許出願PCT/US96/03649並びに1995年7月20日出願のSpindt等による米国特許出願第08/505,841号、現在米国特許第5,614,781号に記載されている。Spindt等による特許は、Fahlen等による1994年2月1日出願のPCT国際特許出願PCT/US94/00602の一部を構成する。Schmid等による特許及びFahlen等の特許に含まれる範囲内におけるSpid等による特許は、その全体を参照して本明細書の一部としている。

フラットパネルディスプレイ300の図示される部分は、1.1個のデ

ィスプレイ領域301-311に論理的に分割される。各ディスプレイ領域301-311は、光放出構造体322の対応する光放出領域301a-311a並びに電子放出構造体332の対応する電子放出領域301b-311bを備える。各光放出領域301a-311aは、スペーサ351及び352に並列に延在する1つ或いはそれ以上の光放出素子の行（すなわち画素行）を備える。同様に、各電子放出領域301b-311bは、1つ或いはそれ以上の電子放出素子の行を備える。各光放出領域301a-311aは、対応する電子放出領域301b-311bを有する。

記載される実施例では、フラットパネルディスプレイ300の画素は、12.

5ミル（約0.32mm）のピッチ（間隔）を有するが、他のピッチでも可能であり、それは本発明の範囲内にあるものと考えられる。スペーサ351及び352は、375ミル（約9.53mm）の横方向間隔を有し、互いに並列して延在する。従って、30個の画素行がスペーサ351とスペーサ352との間に存在する。フラットパネルディスプレイ300の他のスペーサ（図示せず）も同様に配列される。フラットパネルディスプレイ300は、例えば480画素行を備えることができる。スペーサ351及び352は約2.25ミル（約0.06mm）の厚さTと、約50ミル（約1.27mm）の高さHとを有する。その結果、フェースプレート構造体320とバックプレート構造体330との間の間隔は約50ミル（約1.27mm）である。約5kVの電位差が、電子放出構造体332と光放出構造体322との間で保持される。

ディスプレイ領域303及び304はスペーサ351に隣接して配置され、ディスプレイ領域308及び309はスペーサ352に隣接して配置される。従ってディスプレイ領域303、304、308並びに309は、これ以降スペーサ隣接領域と呼ばれる。電子放出素子の行が矢

01において順次活性化される。上記のように、電子放出領域301bの活性化では、スペーサ351は極端には帯電しない。次に、電子放出領域303b及び304bの電子放出素子が、スペーサ隣接領域303及び304内において順次活性化される。スペーサ351は、電子放出領域303b及び304bが活性化された時点では極端には帯電していないため、領域303b及び304bから放出される電子は、スペーサ351が帯電することにより生じる著しい偏向を受けずに、対応する光放出領域303a及び304bに達する。特定の実施例では、電子放出領域303bは、電子放出領域304bに先行して活性化される。

次に、電子放出領域302b及び305bの電子放出素子がスペーサ帯電領域302及び305において順次活性化される。特定の実施例では、電子放出領域302bは、電子放出領域305bに先行して活性化される。電子放出領域302b及び305bの活性化による電荷がスペーサ351上に蓄積されるようになるが、この電荷は、その後スペーサ隣接領域303及び304の電子放出領域3

03b及び304bが順次活性化される時点までには散逸される。例えば、フラットパネルディスプレイ300が70Hzのリフレッシュ周波数を有するものと仮定すると、スペーサ351が、電子放出領域303b及び304bが順次活性化される時点までに放電するために、約14.3msecの時間がかかる。

その後電子放出領域306bの電子放出素子が、スペーサ中性領域306において順次活性化される。上記のように、電子放出領域306bの活性化では、スペーサ351或いは352は極端には帯電しない。次に、電子放出領域308b及び309bの電子放出素子が、スペーサ隣接領域308及び309において順次活性化される。スペーサ352は、

電子放出領域308b及び309bが活性化された時点では極端には帯電していないため、これらの領域308b及び309bから放出される電子は、スペーサ352が帯電することにより生じる著しい偏向を受けずに、対応する光放出領域308a及び309bに達する。

次に、電子放出領域307b及び308bの電子放出素子が、スペーサ帯電領域307及び310において順次活性化される。再び、電子放出領域307b及び310bの活性化に応じてスペーサ351上に蓄積された電荷は、その後電子放出領域308b及び309bが順次活性化される時点までに散逸される。その後電子放出領域311bの電子放出素子がスペーサ中性領域311において順次活性化される。

フラットパネルディスプレイ300の他の電子放出領域（図示せず）の活性化が、電子放出領域301b-311bに対して記載されるのと同様に継続される。結果として、活性化の順序はスペーサ中性領域301の電子放出領域301bに戻り、上記した順序が繰り返される。再び、スペーサ隣接領域303-304及び308-309の電子放出領域303b-304b及び308b-309bが、二度目に活性化される時点までに、スペーサ351及び352上の電荷は、十分な時間をかけて散逸される。

電子放出領域303b、304b、308b並びに309bから放出される電子は、概ね偏向されることなく対応する光放出領域303a、304a、308

a並びに309aに配向されるため、フェースプレート321の視認用表面において表示される画像は、スペーサ351及び352に隣接する暗線を示すことはないという利点がある。

電子放出領域301b-311bは、他の方法において電子放出することもでき、それは本発明の範囲内に入る。しかしながら、スペーサ隣接領域303、304、308並びに309の電子放出領域303b、

304b、308b並びに309bは、スペーサ帯電領域302、305、307並びに310の電子放出領域302b、305b、307b並びに310bの活性化の直後に活性化されてはならない。

## 第2実施例

本発明の別の実施例に従って、スペーサ351及び352は、比較的高い誘電率になるように製造される。高誘電率は、 $100\epsilon_0$ より大きいものとして定義され、ここでは $\epsilon_0$ は $8.85 \times 10^{-12} \text{ F/m}$ に等しい。さらに高誘電率は、 $400\epsilon_0 \sim 800\epsilon_0$ の範囲内にあるものとして定義される。スペーサの誘電率が大きい結果として、スペーサ351及び352に対する充電時定数は増加し、それによりこれらのスペーサが急速に帯電するのを防ぐ。スペーサ351及び352に電荷が急速に蓄積されるのを防ぐことにより、スペーサ隣接領域303、304、308並びに309の電子放出領域303b、304b、308b並びに309bにより放出される電子の偏向は最小化される。この実施例の1つの変形例に従って、フラットパネルディスプレイ300の電子放出素子の行が、第1実施例に関連して上記したような方法において活性化される。別法では、フラットパネルディスプレイ300の電子放出素子の行は順次活性化してもよい。

本実施例の1つの変形例に従って、大きな誘電率のスペーサは、酸化チタン( $\text{TiO}_2$ )、酸化アルミニウム( $\text{Al}_2\text{O}_3$ )並びに酸化クロム( $\text{Cr}_2\text{O}_3$ )を含み、以下の表1に示される割合において製造される。

表 1

酸化チタン = 4. 0 %

酸化アルミニウム = 32. 0 %

酸化クロム = 64. 0 %

酸化チタンを約4%の割合に保持することにより、スペーサの誘電率は比較的高いレベルに保持される。上記の表1に示される組成物を有するスペーサは、以降「4/32/64」スペーサと呼ばれる。4/32/64スペーサは、1200~1500Hzの周波数で約 $700\epsilon_0$ ~ $750\epsilon_0$ の誘電率を示す。それと比較すると、1.6%のみの酸化チタン、34.4%の酸化アルミニウム並びに64.0%の酸化クロムからなる組成物を有するスペーサは、100Hzでおよそ $10\epsilon_0$ 乃至 $11\epsilon_0$ の誘電率を示す。従って、約4%の酸化チタンの割合を調整することにより、スペーサ351及び352の誘電率は著しく増加する。

さらに、4/32/64スペーサは、フラットパネルディスプレイ環境において好都合であると考えられる他の特性を示すという利点がある。より詳細には、4/32/64スペーサは、およそ $7 \times 10^8 \Omega/\square$ の比較的高いシート抵抗を示す。従って、酸化チタンの割合を約4%に保持することにより、スペーサは許容可能な範囲の電気抵抗に保持される。さらに4/32/64スペーサは、1kV~4kVの範囲内にある電圧において1~2.2の範囲内にある2次放出比を示す。

本発明の1つの変形例では、4/32/64スペーサは、従来のボールミルにおいてセラミック粉末、有機性結合剤並びに溶剤を混合することにより生成されるスラリーから製造される。そのようなスラリーの配合が表2に示される。

表 2

酸化アルミニウム粉末	1 0 3 . 7 g
酸化クロム粉末	2 0 7 . 3 g
酸化チタン粉末	1 2 . 9 g
Butvar B 7 6	3 4 g
Santicizer 1 5 0	1 0 g
Kellox Z 3 Menahden oil	0 . 6 5 g
エタノール	1 0 5 g
トルエン	1 2 7 g

他の変形例では、セラミック配合物は、粒度を調整したり、或いは焼結過程を補助するように選択される改質剤を含む。二酸化シリコン、酸化マグネシウム並びに酸化カルシウムのような化合物が改質剤として用いられる場合がある。

従来の方**法**において、ミルドスラリーを用いて、60－120  $\mu\text{m}$ の厚さを有するテープが注型される。1つの変形例では、このテープは、幅10 cm×長さ15 cmの大きなウエハに切り分けられる。その後ウエハは従来のフラットセッタ (setter) に装填され、そのウエハが所望の抵抗率を示すまで空気並びに／また還元雰囲気において焼成される。

詳細には、ウエハは24℃の典型的な露点を有する水素雰囲気を用いて冷界周期窯内で焼成される。ウエハの有機性組成物がその窯内で熱分解される（すなわち熱の作用により除去される）必要がある場合には、水素雰囲気の露点はより高くされ(約50℃)、ウエハを損傷することなく有機組成物を容易に除去できるようにする。ウエハの有機性組成物が熱分解された後、露点はより高い露点（50℃）からより低い露点（24℃）に移されるであろう。熱分解は典型的には600℃の温度で完了する。典型的には、ウエハは1500℃のピーク温度で1～2時間焼成される。セラミック組成物の特性は詳細な焼成プロファイルにより調整される。開始時の原材料により、またスペーサにおいて要求される強度、

抵抗率並びに二次電子放出の厳密な組み合わせにより、実際のピーク温度は1450℃と1750℃との間にあり、焼成プロファイルは、1時間から5時間の間、このピーク温度を保持する。その後ウエハは取り出され、検査され、スペーサ351及び352として用いられるストリップに切り分けられる。1つの変形例

では、これらのストリップは厚さ約2.25ミル（約0.06mm）、長さ2インチ（約5.1cm）並びに高さ50ミル（約1.27mm）を有する。

酸化チタンの割合を変更することによりスペーサの電氣的抵抗率を調整するのに加えて、スペーサの電氣的抵抗率は酸化クロムの割合を調整することにより制御することもできる。酸化クロムの割合を増加することにより、スペーサの導電率は増加するようになる。しかしながら、酸化クロムの割合を増加することにより、スペーサ材料に要求される焼結温度も増加する。また電気抵抗率は、焼成中の炉内の酸素の分圧を制御することにより、或いはH<sub>2</sub>とO<sub>2</sub>との比を変更して炉内の露点を変化させることによっても調整することができる。

### 第3実施例

第5図は、本発明の別の実施例に従ったフラットパネルディスプレイ500の模式図である。本実施例は上記の第2の実施例と組み合わせて、或いは第2の実施例とは個別に用いることができる。フラットパネルディスプレイ500では、スペーサ501-503のような複数のスペーサが、フェースプレート構造体510とバックプレート構造体511との間に接続される。さらに各スペーサ501-503は、共通バス504に接続される対応するフェース電極501a-503aを備える。各フェース電極501a-503aは、フェースプレート構造体510とバックプレート構造体511との間の位置において対応するスペーサ5

01-503の外側表面上に配置される。共通バス504は、スペーサ501-503の抵抗とコンデンサとを効率的に結合する。また共通バス504は全てのスペーサ501-503の中で電荷を分配する。例えば、スペーサ501に隣接するスペーサ帯電領域が活性化される時、その結果生じる電荷は、共通バス504によりスペーサ501、502、並びに503の中に分配されるであろう。これはスペーサ501上に蓄積される電荷を減少させるという利点をもたらす（共通バス504がない場合にスペーサ501上に蓄積される電荷と比較した場合）。スペーサ502及び503上に蓄積された電荷はこの時点では増加する（共通バス504がない場合にスペーサ502及び503上に蓄積される電荷と比較し



た場合)が、スペーサ502及び503に対応するスペーサ隣接領域が、ある時間が経過まで活性化されないため、そのように電荷が増加するのは許容可能である。

第6図は、本実施例に用いることができるスペーサ601の等角図である。スペーサ601は、スペーサ本体602、フェース電極603-604並びにエッジ電極606a、606b並びに607を備える。1つの実施例では、スペーサ本体602は第2の実施例において記載された4/32/64スペーサ材料からなる。別法では、限定するわけではないが、遷移金属酸化物を含むセラミックのような一様な電氣的抵抗性の材料、或いは電氣的抵抗性の外皮を備える電氣的絶縁性のコア材料の固体片を含む別の従来のスペーサ材料からなる。フェース電極603及び604、並びにエッジ電極606a、606b並びに607は、アルミニウム或いは銅のような導電性材料からなる。フェース電極603及びエッジ電極606a、606b並びに607の製作は、上述したSchmid等によるPCT国際特許出願PCT/US96/03640に詳細に記載される。

707との間の接触を容易にする。

さらに、第8図を参照すると、スペーサ707は、本体757、エッジ電極767a、767b並びに768、フェース電極777及び778、並びに間隙755を備える。光放出構造体722の導電性層722cがエッジ電極767aに接触し、共通バス構造体723の導電性バス層723bがエッジ電極767bに接触し、さらにバックプレート730の電子放出構造体732のエッジ電極768に接触するように、スペーサ707はフェースプレート構造体720とバックプレート構造体730との間に接続される。間隙755はエッジ電極767aと767bとを電氣的に絶縁する。フェース電極777は、図示されるように、エッジ電極767bに電氣的に接続される。各残りのスペーサ701-706はスペーサ707と同様に接続される。第8図では示されていないが、スペーサ707の上側部分はフェースプレート構造体720上のスペーサ支持構造体と係合することができるということは理解されよう。そのようなスペーサ支持構造体は、図を明瞭に示すために図示されていない。しかしながら、そのようなスペーサ支

持構造体は、Schmidによる1995年1月30日出願のPCT国際特許出願PCT/US95/00555並びにHavenによる1994年11月21日出願の米国特許出願第08/343,074号、現在米国特許第5,650,690号に詳細に記載されており、全体を参照して本明細書の一部としている。

第9図に示されるように、各スペーサ701-706はスペーサ707に対して上記したのと同様に対応するエッジ電極761-766と接触する対応するフェース電極771-776を備える。各エッジ電極761-766は、スペーサ707と同様に導電性バス層723bと接触する。その結果、導電性バス層723bはフェース電極771-777と接触する共通バスを実現する。1つの変形例では、導電性バス構造体

フラットパネルディスプレイ1100はフラットパネルディスプレイ700（第7図-第9図）と同様であるため、フラットパネルディスプレイ700及び1100における同様の構成要素は、同じ参照番号が付されている。上記したフラットパネルディスプレイ700の構成要素に比べて、フラットパネルディスプレイ1100はさらに、共通バス構造体723の導電性バス層723bと接触する共通バス延長部材1101を備える。1つの変形例では、共通バス延長部材1101及び導電性バス層723bは一体をなす構成要素として製造される（第12図）。バス延長部材1101は、側壁構造体724の外側境界の外側にまでフェースプレート721に沿って延在する。外部コンデンサ1010は、側壁構造体724の外側境界の外側の点においてバス延長部材1101に接続される。このようにして、フェース電極771-777は外部コンデンサ1101に接続される。これはスペーサ701-707のキャパシタンスを増加させ、これらのスペーサ上に電荷が急速に蓄積されるのを防ぐ。

#### 第5実施例

第13図は、本発明のさらに別の実施例に従ったフラットパネルディスプレイ1300の模式図である。第3及び第4実施例と同様に、本実施例は、上記の第1及び第2実施例と組み合わせて、或いは上記の実施例とは個別に用いることができる。フラットパネルディスプレイ1300はフラットパネルディスプレイ5

00（第5図）と同様であるため、第5図及び第13図における同様の構成要素は同じ参照番号が付される。さらに第13図は、共通バス504と電圧源1311との間に接続されるコンデンサ1310を備える。コンデンサ1310はスペース501-503の有効キャパシタンスを増加させ、それによりスペース501

#### 請求の範囲

1. フェースプレート構造体、前記フェースプレート構造体に結合されるバックプレート構造体並びに前記フェースプレート構造体と前記バックプレート構造体との間に配置されるスペースからなるフラットパネルディスプレイ上に画素情報を表示するための方法であって、前記ディスプレイが、（a）前記スペースに隣接し、かつ前記スペースのそれぞれ反対側に位置する一対のスペース隣接領域と、（b）前記スペース隣接領域に隣接し、かつ前記スペース隣接領域よりスペースから離れて配置される一対のスペース帯電領域とに分割され、また前記スペースが、活性化時に前記スペース帯電領域により帯電することを特徴とし、

前記画素情報のフレーム中に、前記スペース隣接領域を活性化する過程と、

その後前記画素情報のフレーム中に、前記スペース帯電領域を活性化する過程とを有することを特徴とする方法。

2. 前記ディスプレイが、前記スペース帯電領域の1つに隣接し、かつ前記スペース帯電領域の1つよりスペースから離れて配置されるスペース中性領域にさらに分割され、前記スペースが、活性化時に前記スペース中性領域により著しくは帯電されず、また前記方法が、前記スペース隣接領域を活性化する過程に先行して、前記画素情報のフレーム中に前記スペース中性領域を活性化する過程をさらに有することを特徴とする請求項1に記載の方法。

3. 前記ディスプレイが、前記スペース帯電領域の他の領域に隣接し、かつ前記スペース帯電領域の他の領域より前記スペースから離れて配置されるそれ以上のスペース中性領域にさらに分割され、前記スペースは、活性化時に前記それ以上のスペース中性領域により著しくは帯電されず、また前記方法がさらに、前記スペース帯電領域を活性化する過程に後続

して、前記画素情報のフレーム中に前記それ以上のスペーサ中性領域を活性化する過程を有することを特徴とする請求項2に記載の方法。

4. フェースプレートと、前記フェースプレートの上側をなす光放出構造体とを有するフェースプレート構造体と、

バックプレートと、前記バックプレートの上側をなす電子放出構造体とを有し、前記フェースプレート構造体に結合されるバックプレート構造体と、

前記フェースプレート構造体と前記バックプレート構造体との間に配置され、それぞれがスペーサ本体と、前記スペーサ本体のフェース側表面上に配置されるフェース電極とを有する複数のスペーサと、

前記フェース電極を電氣的に接続する共通バス構造体とを有することを特徴とするフラットパネルディスプレイ。

5. 各スペーサが、前記スペーサのスペーサ本体のエッジ側表面上に配置され、かつ前記スペーサのフェース電極と接触するエッジ電極をさらに有することを特徴とする請求項4に記載のフラットパネルディスプレイ。

6. 前記共通バス構造体が、前記フェースプレート上に配置され、かつ前記フェース電極に接続される電氣的導電性バス層を備えることを特徴とする請求項4に記載のフラットパネルディスプレイ。

7. 前記各スペーサが、

前記スペーサのスペーサ本体の第1の端部上に配置され、前記光放出構造体と接触する第1のエッジ電極と、

前記スペーサのスペーサ本体の前記第1の端部上に配置され、前記第1のエッジ電極から離隔して配置され、さらに前記共通バス構造体と接触する第2のエッジ電極をさらに備えることを特徴とする請求項4に記載のフラットパネルディスプレイ。

8. 前記共通バス構造体に電氣的に結合されるコンデンサをさらに備えることを特徴とする請求項4に記載のフラットパネルディスプレイ。

9. 前記フェースプレート構造体と前記バックプレート構造体との間に延在する側壁構造体をさらに有し、前記側壁構造体が、前記光放出構造体、前記電子放出

構造体並びに前記共通バス構造体を概ね横方向に包囲し、また前記コンデンサが前記側壁構造体の外側に配置されることを特徴とする請求項8に記載のフラットパネルディスプレイ。

10. 前記コンデンサが、前記共通バス構造体と基準電圧源との間に結合されることを特徴とする請求項8に記載のフラットパネルディスプレイ。

11. 前記基準電圧源が、グランド電位、或いは高電圧の何れかから選択されることを特徴とする請求項9に記載のフラットパネルディスプレイ。

12. 前記共通バス構造体が、前記フェースプレート上に配置され、かつ前記フェース電極に接続される電氣的導電性バス層からなることを特徴とする請求項8に記載のフラットパネルディスプレイ。

13. 前記コンデンサが、

前記導電性バス層と、

前記フェースプレートと前記導電性バス層との間に配置される誘電性ストリップと、

前記フェースプレートと前記誘電性ストリップとの間に配置され、かつ基準高圧源に接続される第2の電氣的導電性層とを有することを特徴とする請求項12に記載のフラットパネルディスプレイ。

14. 前記第2の導電性層が前記フェースプレート内の溝に配置されることを特徴とする請求項13に記載のフラットパネルディスプレイ。

15. フェースプレートと、前記フェースプレートの上側をなし、かつ

複数の概ね並列な画素行内に配列される光放出構造体とを有するフェースプレート構造体と、

前記フェースプレート構造体に接続され、バックプレート及び前記バックプレートの上側をなす電子放出構造体とを有するバックプレート構造体と、

前記フェースプレート構造体と前記バックプレート構造体との間に配置され、前記画素行に概ね垂直に延在し、それぞれがスペーサ本体及び前記スペーサ本体のフェース側表面の上側をなすフェース電極とを有する複数のスペーサ材料とを有し、

各画素行内の前記光放出素子が、概ね同時に、しかもそれぞれすぐ横に隣接する画素行内の光放出素子とは異なる時間で活性化されることを特徴とするフラットパネルディスプレイ。

16. フェースプレート構造体と、

前記フェースプレート構造体に接続されるバックプレート構造体と、

前記フェースプレート構造体と前記バックプレート構造体との間に配置されるスペーサとを有し、前記スペーサが、酸素並びに前記酸素と結合し、かつ前記スペーサ内に分散されるアルミニウム、クロム並びにチタンからなり、また前記スペーサ内の前記チタンが、重量比でスペーサの約4%の酸化チタンに相当することを特徴とするフラットパネルディスプレイ。

17. 前記スペーサ内の前記アルミニウムが重量比で前記スペーサの約32%の酸化アルミニウムに相当し、

前記スペーサ内の前記クロムが重量比で前記スペーサの約64%の酸化クロムに相当することを特徴とする請求項16に記載のフラットパネルディスプレイ。

18. フェースプレート構造体と、

前記フェースプレート構造体に接続されるバックプレート構造体と、

前記フェースプレート構造体と前記バックプレート構造体との間に配置されるスペーサとを有し、前記スペーサが100 $\epsilon$ 0より大きい誘電率を有する材料からなることを特徴とするフラットパネルディスプレイ。

19. 前記誘電率が400 $\epsilon$ 0~800 $\epsilon$ 0であることを特徴とする請求項18に記載のフラットパネルディスプレイ。

20. 前記誘電率が700 $\epsilon$ 0~750 $\epsilon$ 0であることを特徴とする請求項18に記載のフラットパネルディスプレイ。

## 【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US97/11917										
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC(6) : H01J 1/62, 63/04 US CL : 313/495-497, 422, 482, 309, 395-397, 258, 292, 306, 311 According to International Patent Classification (IPC) or to both national classification and IPC												
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) U.S. : 313/495-497, 422, 482, 309, 395-397, 258, 292, 306, 311 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)												
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>												
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.										
Y	US 5,532,548 A (SPINDT et al.) 02 July 1996, Fig. 3	4-5, 7, 15										
Y, P	US 5,589,731 A (FAHLEN et al.) 31 December 1996, Fig. 2A	4-5, 7, 15										
Y	US 5,177,410 A (HASHIGUCHI et al.) 05 January 1993, Col. 6, line 63	18-20										
A, P	US 5,578,899 A (HAVEN et al.) 26 November 1996, Fig. 2.	4, 15										
A	US 4,745,332 A (TISCHER) 17 May 1988, Col. 4, line 51	16, 17										
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.												
* Special categories of cited documents: <table border="0"> <tr> <td>*A* document defining the general state of the art which is not considered to be of particular relevance</td> <td>*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</td> </tr> <tr> <td>*E* earlier document published on or after the international filing date</td> <td>*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</td> </tr> <tr> <td>*L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</td> <td>*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</td> </tr> <tr> <td>*O* document referring to an oral disclosure, use, exhibition or other means</td> <td>*A* document member of the same patent family</td> </tr> <tr> <td>*P* document published prior to the international filing date but later than the priority date claimed</td> <td></td> </tr> </table>			*A* document defining the general state of the art which is not considered to be of particular relevance	*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	*E* earlier document published on or after the international filing date	*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	*L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	*O* document referring to an oral disclosure, use, exhibition or other means	*A* document member of the same patent family	*P* document published prior to the international filing date but later than the priority date claimed	
*A* document defining the general state of the art which is not considered to be of particular relevance	*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention											
*E* earlier document published on or after the international filing date	*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone											
*L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art											
*O* document referring to an oral disclosure, use, exhibition or other means	*A* document member of the same patent family											
*P* document published prior to the international filing date but later than the priority date claimed												
Date of the actual completion of the international search 06 NOVEMBER 1997		Date of mailing of the international search report 23 DEC 1997										
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-3230		Authorized officer <i>Jay M. Patidar</i> JAY M. PATIDAR Telephone No. (703) 308-6723										

---

フロントページの続き

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テ-マコ-ド (参考)
H 0 1 J 31/12		H 0 1 J 31/12	B
(72) 発明者	モリス、デイビッド・エル アメリカ合衆国カリフォルニア州95132・ サンノゼ・エルグランデコート 3644		
(72) 発明者	シュミッド、アンソニー・ピー アメリカ合衆国カリフォルニア州92075・ ソラナビーチ・キャニオンドライブ 461		
(72) 発明者	サン、ユー・ナン アメリカ合衆国カリフォルニア州94086・ サニーベイル・アルバインテラス 9964		

【要約の続き】

4 %からなる。



**\* NOTICES \***

**JPO and NCIPi are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

1. It is Approach for Displaying Frame of Pixel Information on Flat-panel Display Which Has Spacer Arranged between Said Face Plate Structures and Said Back-Plate Structures in Face Plate Structure and Back-Plate Structure List. The process which chooses the spacer adjoining field of the pair of said flat-panel display which adjoins said spacer at which [ of said spacer ] side, The process which chooses the spacer electrification field of the pair of said flat-panel display which said spacer adjoining field is adjoined [ pair ] and electrifies said spacer at the time of activation, Process which activates said spacer adjoining field Approach characterized by having the process which activates said spacer electrification field in order to display the frame of said pixel information.
2. Process in which spacer neutral region of said flat-panel display which said spacer electrification field is adjoined [ flat-panel display ] and does not electrify said spacer at time of activation is demarcated Approach according to claim 1 characterized by preceding with the process which activates said spacer adjoining field, and having further the process which activates said spacer neutral region.
3. Process in which spacer neutral region of said flat-panel display which said spacer electrification field is adjoined [ flat-panel display ] and does not electrify said spacer at time of activation is demarcated Approach according to claim 1 characterized by having further the process which activates said spacer neutral region after termination of the process which activates said spacer electrification field.
4. The face plate structure which has insulating face plate and the light emission structure The back-plate structure which has an insulating back plate and the electron emission structure Two or more spacers which have the face electrode with which it is arranged between said face plate structures and said back-plate structures, and each is arranged on the face side front face of said spacer Flat-panel display characterized by having the common-bus structure which connects said face electrode.
5. Flat-panel display according to claim 4 characterized by having edge electrode with which each spacer is further arranged on edge side front face of said spacer, and said face electrode of said spacer contacting said edge electrode of said spacer.
6. Said common-bus structure Insulating strip arranged on said face plate which adjoins said light emission structure Flat-panel display according to claim 4 characterized by having the conductive bus layer which is arranged on said insulating strip and connected to said face electrode.
7. 1st Edge Electrode with which Each Spacer is Arranged at the 1st Edge of Said Spacer, It has the 2nd edge electrode arranged at said 1st edge of said spacer. Said 1st edge electrode and said 2nd edge electrode are isolated by the gap. The flat-panel display according to claim 4 characterized by for said 1st edge electrode contacting said light emission structure, for said 2nd edge electrode contacting said common-bus structure, and said 2nd edge electrode coming to contact said common-bus structure.
8. Flat-panel display according to claim 4 characterized by having further capacitor connected to said common-bus structure.
9. Flat-panel display according to claim 8 characterized by having further the side-attachment-wall structure which extends between said face plate structures and said back-plate structures, and for said side-attachment-wall structure surrounding said common-bus structure in longitudinal direction in general to said light emission structure and said electron emission structure list, and arranging said capacitor on outside of outside boundary of said side-attachment-wall structure.
10. The flat-panel display according to claim 8 characterized by connecting said capacitor between said common-bus structures and grand voltage sources.
11. The flat-panel display according to claim 8 characterized by connecting said capacitor between said common-bus structures and sources of the high voltage.

12. Said bus structure object Dielectric strip arranged on said face plate which adjoins said light emission structure Flat-panel display according to claim 8 which carries out the description of having the conductive bus layer which is arranged on said insulating strip and connected to said face electrode.

13. The flat-panel display according to claim 12 characterized by equipping said capacitor with said conductive bus layer and the 2nd conductive layer arranged between said face plates and said dielectric strips in said dielectric strip list, and connecting the 2nd aforementioned conductive layer to the source of the high voltage through said light emission structure.

14. The flat-panel display according to claim 13 characterized by arranging said 2nd conductive layer in the slot in said face plate.

15. Face Plate Structure Which Has Insulating Face Plate and Light Emission Structure Arranged in Two or More Parallel Pixel Lines, The back-plate structure which has insulation back plate and the electron emission structure, It has two or more spacers arranged between said face plate structures and said back-plate structures. The flat-panel display characterized by having the face electrode with which each spacer is arranged at right angles to said pixel line, and each spacer is arranged on the face side front face of said spacer.

16. It is a spacer ingredient for a flat-panel display. Aluminum oxide Chromic oxide distributed in said aluminum oxide Spacer ingredient characterized by having titanium oxide distributed in said aluminum oxide, and said spacer ingredient consisting of about 4% of titanium oxide.

17. The spacer ingredient according to claim 16 with which said spacer ingredient carries out the description of having about 32% of aluminum oxide, and about 64% of chrome oxide.

The spacer for the flat-panel display characterized by consisting of an ingredient which has a larger dielectric constant than 18.100epsilon0.

19. The spacer according to claim 18 characterized by said spacer consisting of an ingredient which has the dielectric constant which is within the limits of 400epsilon0 to 800epsilon0.

20. The spacer according to claim 18 characterized by said spacer consisting of an ingredient which has a dielectric constant in the range of 700epsilon0 to 750epsilon0.

---

[Translation done.]

## \* NOTICES \*

**JPO and NCIPi are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

## [Detailed Description of the Invention]

Field of approach invention for operating the spacer structure for a flat-panel display, and it This invention relates to the spacer arranged between the face plate structure of a flat-panel display, and the back-plate structure. Moreover, this invention relates to the approach for operating a flat-panel display in relation to these spacers.

Background of invention A flat form cathode-ray tube (CRT) display shows a big aspect ratio (for example, 10:1 or more than it) to the conventional deviation beam type (deflected-beam) CRT display, and is equipped with the display which displays an image according to an electron \*\*\*\*(ing) into a light emission ingredient. An aspect ratio is defined as diagonal line die length on the front face of a display to display thickness. The electron made to \*\*\*\* into a light emission ingredient can be generated with a field emitter cathode or various devices like hot cathode. On these specifications, a flat panel CRT display is called a flat-panel display.

The conventional flat-panel display is typically equipped with the face plate structure and the back-plate structure, and the face plate structure and the back-plate structure are combined by preparing a wall in the perimeter. Then, the joint wall formed is usually held by vaccum pressure. In order to make it a flat-panel display not cave in under vaccum pressure, the spacer of two or more electric resistance is typically arranged between the face plate structure and the back-plate structure in the active field located in the center of a flat panel.

The face plate structure is equipped with the light emission structure formed on the inside front face of an insulating face plate (typically glass) and an insulating face plate. The light emission structure is equipped with a light emission ingredient, i.e., a phosphor, and they demarcate the active field of a display. The back-plate structure is equipped with the electron emission structure arranged on the inside front face of an insulating back plate and a back plate. The electron emission structure is equipped with two or more electron emission components (for example, field emitter) which are excited alternatively and release an electron. The light emission structure is relatively held to the electron emission structure at a forward high electrical potential difference (for example, 5kV). Consequently, the electron released by the electron emission component is accelerated toward the phosphor of the light emission structure, and a phosphor comes to emit the light checked by looking by the observer in the outside front face (front face for a check by looking) of a face plate.

Fig. 1 is a mimetic diagram of the front face for a check by looking of a flat-panel display 100.

The face plate structure 20 of a flat-panel display 100 is equipped with the light emission structure arranged in two or more lines (namely, pixel line) which consist of a light emission component like the pixel line 1-10. The flat-panel display 100 is typically equipped with the pixel line of hundreds, and each line contains hundreds of pixels. A spacer 101-104 extends horizontally between displays 100 in the pixel line 1-10 and juxtaposition. Since it aims at illustrating, the pixel line 1-10 and the spacer 101-104 are considerably expanded in Fig. 1.

The electron emission structure of a flat-panel display 100 is arranged in the line of the electron emission component corresponding to the pixel line of the face plate structure 20. All the electron emission components in a given party are activated by coincidence (that is, electron emission is carried out).

Sequential activation of the line of an electron emission component is carried out. Therefore, the line of the electron emission component corresponding to the pixel line 1 is activated first, and sequential activation of the line of the electron emission component corresponding to the pixel line 2-10 is carried out after that.

Electron emission sequence is continued in the direction shown by the arrow head 110.

Fig. 2 is a sectional view of the flat-panel display 100 which tried to have met the line 2-2 of Fig. 1. Fig. 2

equips back-plate structure 30 list equipped with the face plate structure 20, a back plate 31, and the electron emission structure 32 equipped with a face plate 21 and the light emission structure 22 with a spacer 101. The light emission structure 22 is equipped with the pixel line 1-10, and the electron emission structure 32 is equipped with the line of corresponding electron emission component 1a-10a.

As mentioned above, in the corresponding pixel line 1-10, electron emission of the line of electron emission component 1a-10a is carried out one by one. When the electron emitted from electron emission component 1a-10a \*\*\*\* into the light emission ingredient of the pixel line 1-10, electronic dispersion arises. It comes to \*\*\*\* the scattered electrons to a spacer 101 so that it may be shown to the pixel line 6-9. The energy of the scattered electrons which \*\*\*\* to a spacer 101 is the energy of only releasing an electron from a spacer 101 big enough, and, thereby, the front face of a spacer 101 just comes to be charged. A spacer 101 is quickly charged as sequential activation of the line of the electron emission component close to a spacer 101 is carried out.

When the line of the electron emission component (for example, electron emission component 10a) which adjoins a spacer 101 and is arranged is activated, the positive charge accumulated in a spacer 101 becomes large enough, and comes to deflect the electron emitted toward the spacer 101. Consequently, the pixel line (for example, pixel line 10) which adjoins a spacer 101 can receive some electrons emitted from the line of a corresponding electron emission component, but, thereby, these pixel lines come to look darkly. That the emitted electron deviates slightly also adjoins a spacer 101, and pixel distortion which can be checked by looking arises. That is, the electron emitted from electron emission component 10a is deflected, and in order to \*\*\*\* in the pixel line 10 in the location [ core / in the pixel line 10 ] shifted, in the pixel line 10, distortion comes to produce it. The pixel (for example, it is bright or it is dark) line which adjoined the spacer 101 and was distorted for these reasons may be checked by looking.

The conventional spacer was equipped with covering of electric resistance which emits the charge accumulated on a spacer front face. However, covering of such resistance is inadequate for making it decrease by the covering itself by the level which can permit the electrification condition on the front face of a spacer.

Therefore, the approach list of a flat-panel display 100 which even the level which can permit the electrification condition on the front face of a spacer is made to reduce working will be expected the structure again.

Outline Therefore, one example of this invention includes the process in which a flat-panel display is logically divided into three display fields. These three fields are the spacer electrification field which adjoins the spacer adjoining field and (2) spacer adjoining field which adjoin a spacer and are arranged, and is arranged, and a spacer neutral region adjoined and arranged to (3) spacer electrification field at a list. A spacer electrification field includes the field of the flat-panel display which electrifies a contiguity spacer even in unnecessarily high level at the time of activation. A spacer neutral region is a field of the flat-panel display which does not electrify a spacer remarkably at the time of activation. In order to prevent charging a spacer at the time of activation of a spacer adjoining field, a spacer adjoining field is preceded with a spacer electrification field, and is activated. The flow of typical actuation includes the process which activates a spacer neutral region, the process which activates a spacer adjoining field, and the process which activates a spacer electrification field after that. at the time of activation of a spacer adjoining field, since a spacer is not charged extremely, a spacer adjoining field operates suitably (namely, the deviation of a remarkable electron -- there is nothing), and the dark line which adjoins a spacer is not seen.

In the another example, a spacer consists of an ingredient which has a high dielectric constant, the charge time constant of a spacer is made to increase by that cause, and it prevents accumulating a charge rapidly on a spacer.

A spacer consists of the titanium oxide or chrome oxide distributed in an aluminum oxide in a certain specific example. The concentration of titanium oxide is adjusted to about 4%. By adjusting the rate of titanium oxide to about 4%, the dielectric constant of a spacer ingredient has the advantage of becoming max. The concentration of chrome oxide and oxidation ARUMINI \*\* UMU is 64% and 32%, respectively, for example.

In the another example, a face electrode is arranged on the outside front face of each spacer, and the common-bus structure contacts a face electrode. There is an advantage that the charge accumulated on the spacer of the specification of the arbitration in all spacers is distributed by the common-bus structure. In the one modification, the common-bus structure adjoins the light emission structure, and is formed in the insulating strip arranged on the face plate of a flat-panel display, and a list of the conductive bus layer arranged on an insulating strip. A conductive bus layer is connected to each face electrode.

A capacitor is combined with the common-bus structure and, thereby, the charge time constant of a spacer is made to increase in the another example. A capacitor can be physically arranged on the inside or the outside of a flat-panel display. Furthermore, a capacitor is connectable with the source of the high voltage, or a grand voltage source.

A capacitor can be formed in the interior of a flat-panel display by preparing a conductive plate between a face plate and the insulating strip of the common-bus structure. A conductive plate and a conductive bus layer form the plate of a capacitor, and an insulating strip forms the dielectric of a capacitor. A conductive plate comes to be connected to the source of the high voltage through the light emission structure of the face plate structure.

A flat-panel display is equipped with two or more spacers which extend at right angles to two or more parallel pixel lines and pixel lines in the still more nearly another example. Each spacer is equipped with the face electrode which distributes an excessive charge along with the die length of a spacer, and prevents accumulating a charge on a spacer by that cause.

This invention will further fully be understood in detailed explanation of the following taken up with a drawing.

Easy explanation of a drawing Fig. 1 is a mimetic diagram of the front face for a check by looking of the conventional flat-panel display.

Fig. 2 is a sectional view of the flat-panel display seen along with the line 2-2 of Fig. 1.

Figs. 3 are some mimetic diagrams of the front face for a check by looking of a flat-panel display according to one example of this invention.

Fig. 4 is a sectional view of the flat-panel display of Fig. 3 seen along with the line 4-4 of Fig. 3.

Fig. 5 is a mimetic diagram of a flat-panel display which has a common spacer bus according to another example of this invention.

Fig. 6 is isometric drawing of the spacer used in some examples of this invention.

Fig. 7 is a mimetic diagram on the front face of a top of a flat-panel display which has a common spacer bus.

Fig. 8 is a sectional view of the flat-panel display of Fig. 7 seen along with the line 8-8 of Fig. 7.

Fig. 9 is a sectional view of the flat-panel display of Fig. 7 seen along with the line 9-9 of Fig. 7.

Fig. 10 is a mimetic diagram of a flat-panel display which has the internal capacitor combined with the common spacer bus according to another example of this invention.

Fig. 11 is a mimetic diagram on the front face of a top of a flat-panel display which has the external capacitor combined with a common spacer bus.

Fig. 12 is a sectional view of the flat-panel display of Fig. 11 seen along with the line 12-12 of Fig. 11.

Fig. 13 is a mimetic diagram of a flat-panel display which has the internal capacitor combined with the common spacer bus according to still more nearly another example of this invention.

Fig. 14 is a mimetic diagram on the front face of a top of a flat-panel display which has the internal capacitor combined with a common spacer bus.

Fig. 15 is a sectional view of the flat-panel display of Fig. 14 seen along with the line 15-15 of Fig. 14.

Fig. 16 is a sectional view of the flat-panel display of Fig. 14 seen along with the line 16-16 of Fig. 14.

Fig. 17 is a mimetic diagram on the front face of a top of a flat-panel display according to another example of this invention which has the spacer arranged at a pixel line and juxtaposition.

Fig. 18 is isometric drawing of the spacer which can be used in the flat-panel display of Fig. 17.

Detailed description The following definitions are used in the following explanation. On these specifications, the vocabulary "electric insulation" or a "dielectric" is generally applied to the ingredient which has higher resistivity in  $10^{12}$  ohm-cm. The vocabulary "electric non-insulation" shows the ingredient which has resistivity lower than  $10^{12}$  ohm-cm. An electric non-insulation ingredient is distinguished by an electric conductivity ingredient with (a) resistivity lower than 1 ohm-cm, and the electric resistance ingredient which has (b) resistivity within the limits of 1 -  $10^{12}$  ohm-cm. These partitions are limited at the time of low electric field.

As an example of an electric conductivity ingredient (or electric conductor), a metal semi-conductor eutectic object is in a metal, a metal semiconducting compound, and a list. Moreover, an electric conductivity ingredient contains the semi-conductor (n mold or p mold) doped by whenever [ middle ], or the high level. An electric resistance ingredient contains the semi-conductor (n mold or p mold) doped genuineness and lightly. Still more nearly another example of an electric resistance ingredient is such metallic insulator composite of others [ list / cermet (ceramic which had metal particles embedded) ]. Moreover, an electric resistance ingredient contains a conductive ceramic and the glass containing a conductive filler (filled glass).

The 1st example Fig. 3 shows a part of front face for a check by looking of the flat-panel display 300 according to one example of this invention. Fig. 4 is a sectional view of the flat-panel display 300 seen along with the line 4-4 of Fig. 3. The part in which a flat-panel display 300 is illustrated equips the face plate structure 320 and back-plate structure 330 list with spacers 351 and 352. The face plate structure 320 is the conventional structure equipped with the electric insulation glass face plate 321 and the light emission structure 322. Moreover, the back-plate structure 330 is also the structure as usual, and is equipped with the electric insulation back plate 331 and the electron emission structure 332. The face plate structure 320 and the back-plate structure 330 are the United States patent application 08th of the title "Flat Panel display with Ceramic Backplate" by Curtin of the June 22, 1993 application which makes an applicant the same etc. / No. 081 or 913, and the PCT international public presentation official report of March 16, 1995 public presentation. It is indicated by WO 95/07543 at the detail, and is carrying out to some of these specifications with reference to those whole.

In the one modification, each spacers 351 and 352 are formed from the piece of a solid-state of the ingredient of uniform electric resistance like the ceramic containing a transition-metals oxide. Moreover, each spacers 351 and 352 may be formed from electric insulating core material equipped with the envelope of the electric resistance formed on an outside front face. Spacers 351 and 352 An applicant "It is based on Schmid [ connection / which is made the same / coincidence ] of March 31, 1995 application etc. Spacer Structure for Use in Flat Panel Displays and Methods for Forming The United States patent application 08th of a title called Same" / 414, It is indicated by the United States patent application 08th of the title "Structure and Operation of High Voltage Supports" by Spindt of July 20, 1995 application in a No. 408 list etc. / No. 505,841 at the detail. With reference to the whole, it is carrying out to some of these specifications.

The part in which a flat-panel display 300 is illustrated is logically divided into 11 display fields 301-311. Each display field 301-311 is equipped with electron emission field 301b-311b corresponding to the light emission field 301a-311a list to which the light emission structure 322 corresponds in the electron emission structure 332. Each light emission field 301a-311a equips spacers 351 and 352 with the line (namely, pixel line) of one which extends in juxtaposition, or the light emission component beyond it. Similarly, each electron emission field 301b-311b is equipped with the line of one or the electron emission component beyond it. Each light emission field 301a-311a has corresponding electron emission field 301b-311b.

At the example indicated, the pixel of a flat-panel display 300 is 12.

Although it has the pitch (spacing) of 5 mils (about 0.32mm), it is thought that it is possible and it is within the limits of this invention in other pitches. Spacers 351 and 352 have longitudinal direction spacing of 375 mils (about 9.53mm), are arranged in parallel and extend. [ each other ] Therefore, 30 pixel lines exist between a spacer 351 and a spacer 352. Other spacers (not shown) of a flat-panel display 300 are arranged similarly. A flat-panel display 300 can be equipped for example, with a 480-pixel line. Spacers 351 and 352 have thickness [ of about 2.25 mils (about 0.06mm) ] T, and height [ of about 50 mils (about 1.27mm) ] H. Consequently, spacing between the face plate structure 320 and the back-plate structure 330 is about 50 mils (about 1.27mm). The about 5kV potential difference is held between the electron emission structure 332 and the light emission structure 322.

The display fields 303 and 304 adjoin a spacer 351, and are arranged, and the display fields 308 and 309 adjoin a spacer 352, and are arranged. Therefore, 309 is called a spacer adjoining field to the display fields 303 and 304 and 308 lists after this. When the line of an electron emission component assumes that it is that by which sequential activation is carried out in the direction of an arrow head 340, 309 is chosen as the spacer adjoining fields 303 and 304 and 308 lists as a result in which a charge is accumulated at spacers 351 and 352 so that the pixel line considered to fail to receive the electron with which the number permissible from the line corresponding to an electron emission component was emitted may be included. Moreover, when the line of an electron emission component assumes that it is that by which sequential activation is carried out in the direction of an arrow head 340, 309 is chosen as the spacer adjoining fields 303 and 304 and 308 lists so that the pixel line which comes to receive the electron deflected as a result by which a charge is accumulated in spacers 351 and 352 by even the amount which pixel distortion produces may be included.

In the example indicated, 309 equips each spacer adjoining fields 303 and 304 and 308 lists with one or two pixel lines which adjoin a spacer 351-352 and are arranged. For example, when 309 equips each spacer adjoining fields 303 and 304 and 308 lists with two pixel lines, 309a equips the light emission fields 303a and 304a and a 308a list with the light emission component of two lines, respectively, and 309b equips them with the electron emission component of two lines corresponding to the corresponding electron emission

fields 303b and 304b and a corresponding 308b list, respectively.

When 309b is activated by the electron emission fields 303b and 304b and the 308b list, electrification of the spacers 351 and 352 by the corresponding light emission fields 303a and 304a and the electron scattered on a 308a list from 309a is not remarkable. This is for the electron scattered on the light emission fields 303a and 304a and a 308a list from 309a to come to \*\*\*\* to the spacers (namely, light emission structure 322 neighborhood) 351 and 352 which approached the topmost part of spacers 351 and 352 comparatively. Consequently, the charge introduced with these electrons is easily discharged by the light emission structure 322.

Respectively 310 adjoins the spacer adjoining fields 303 and 304 at the display fields 302 and 305 and 307 lists, adjoins 308 lists 309, and it is arranged. When electron emission is carried out one by one by the line of the electron emission component which \*\*\*\*\*, 310 is chosen as the display fields 302 and 305 and 307 lists so that it may have the pixel line which brings about dispersion of the electron which electrifies spacers 351 and 352 even on unnecessarily high level. 310 is henceforth called a spacer electrification field to fields 302 and 305 and 307 lists. 310 equips the light emission fields 302a, 305a, 307a, and 310a corresponding to the spacer electrification fields 302, 305, and 307 and a list, the electron emission fields 302b and 305b corresponding to a list, and a 307b list with 310b. In the example indicated, it has three to five pixel lines which 310 adjoins 309 at the spacer adjoining fields 303 and 304 corresponding to each spacer electrification fields 302 and 305 and 307 lists, and 308 lists, and is arranged. For example, 310b will equip with the line of five corresponding electron emission components the electron emission fields 302b and 305b and 307b list which 310a equips the light emission fields 302a and 305a and a 307a list with the line of five light emission components, respectively, and correspond to them, respectively, when 309 equips each spacer adjoining fields 303 and 304 and 308 lists with five pixel lines.

In a certain specific example, the pixel line contained in the spacer electrification fields 302, 305, and 307 and a list 310 is a pixel line by which isolation arrangement only of the distance which is within the limits of about 5.5 to 1.5 times of the distance between the light emission structure 322 and the electron emission structure 332 was carried out from spacers 351 and 352.

The display field 301 adjoins the spacer electrification field 302, and is arranged, and the display field 306 is arranged among the spacer electrification fields 305 and 307, and the display field 311 adjoins the spacer electrification field 310, and is arranged. When electron emission is carried out by the line of the electron emission component corresponding to the display field 301 and 306 lists, 311 is chosen so that it may have the pixel line which are not scattered about in an electron which electrifies spacers 351 and 352 remarkably. That is, when the pixel line in 311 carries out electron emission to the display field 301 and 306 lists, even if the electron scattered on corresponding light emission field 301a and a 306a list from 311a cannot reach spacers 351 and 352 or reaches these spacers, it does not electrify spacers 351 and 352 remarkably. 311 is henceforth called a spacer neutral region to a field 301 and 306 lists.

In the example indicated, 311 is isolated from spacers 351 and 352 by each spacer neutral region 301 and 306 lists in a longitudinal direction by the about 5-7-pixel line. Therefore, it has 16-22 pixel lines which 311 adjoins 310 at the spacer electrification fields 302 and 305 corresponding to each spacer neutral regions 301 and 306 and a list, and 307 lists, and are arranged. 311a will equip light emission field 301a and a 306a list with the line of 16 light emission components, respectively, and 311b will equip them with the line of 16 corresponding electron emission components at electron emission field 301b which corresponds further, and a 306b list, respectively, when 311 equips each spacer neutral region 301 and 306 lists with a 16-pixel line. In a certain specific example, the pixel line contained in the spacer neutral region 301 and 306 lists in 311 is a pixel line by which only distance with a larger distance between the light emission structure 322 and the electron emission structure 332 than 1.5 times is isolated, and is arranged from spacers 351 and 352.

According to one example of this invention, electron emission field 301b-311b is activated by the sequence indicated below. In the interior of each electron emission field 301b-311b, sequential activation of the line of an electron emission component is carried out in the direction shown by the arrow head 340 (Fig. 3). The sequence of activation is controlled by the line addressing system (row addressing system) of a flat-panel display 300.

First, in the spacer neutral region 301, sequential activation of the electron emission component of electron emission field 301b is carried out. As mentioned above, in activation of electron emission field 301b, a spacer 351 is not charged extremely. next, the electron emission of the electron emission fields 303b and 304b -- \*\*\*\* -- sequential activation is carried out into the spacer adjoining field 303 and 304. Since the spacer 351 is not extremely charged when the electron emission fields 303b and 304b are activated, the electron emitted from Fields 303b and 304b arrives at the light emission fields 303a and 304a which



correspond without deviating remarkably. In the specific example, electron emission field 303b is preceded with electron emission field 304b, and is activated.

Next, in the spacer electrification fields 302 and 305, sequential activation of the electron emission component of the electron emission fields 302b and 305b is carried out. In the specific example, electron emission field 302b is preceded with electron emission field 305b, and is activated. Although the charge by activation of the electron emission fields 302b and 305b comes to be accumulated on a spacer 351, this charge will dissipate by the time of sequential activation of the electron emission fields 303b and 304b of the spacer adjoining fields 303 and 304 being carried out after that. For example, if a flat-panel display 300 assumes that it is what has the refresh frequency which is 70Hz, in order that a spacer 351 may discharge by the time of sequential activation of the electron emission fields 303b and 304b being carried out, it takes the time amount of about 14.3 msec(s).

In the spacer neutral region 306, sequential activation of the electron emission component of electron emission field 306b is carried out after that. As mentioned above, in activation of electron emission field 306b, a spacer 351 or 352 is not charged extremely. Next, in the spacer adjoining fields 308 and 309, sequential activation of the electron emission component of the electron emission fields 308b and 309b is carried out. Since the spacer 352 is not extremely charged when the electron emission fields 308b and 309b are activated, the electron emitted from these fields 308b and 309b arrives at the corresponding light emission fields 308a and 309b, without deviating remarkably.

Next, in the spacer electrification fields 307 and 310, sequential activation of the electron emission component of the electron emission fields 307b and 310b is carried out. Again, the charge accumulated on the spacer 351 according to activation of the electron emission fields 307b and 310b will dissipate by the time of sequential activation of the electron emission fields 308b and 309b being carried out after that. In the spacer neutral region 311, sequential activation of the electron emission component of electron emission field 311b is carried out after that.

Activation of other electron emission fields (not shown) of a flat-panel display 300 is continued the same with being indicated to electron emission field 301b-311b. As for the sequence of activation, return and the above-mentioned sequence are repeated by electron emission field 301b of the spacer neutral region 301 as a result. Again, a spacer 351 and the charge on 352 will dissipate over sufficient time amount by the time of the spacer adjoining field 303-304, electron emission field 303b-304b of 308-309 b, and 308b-309b being activated the second time.

Since orientation of the electron emitted to the electron emission fields 303b and 304b and a 308b list from 309b is carried out to the light emission fields 303a and 304a and 308a list which correspond without deviating in general at 309a, the image displayed in the front face for a check by looking of a face plate 321 has the advantage that the dark line which adjoins spacers 351 and 352 is not shown.

Also being able to carry out electron emission of the electron emission field 301b-311b in other approaches, it goes within the limits of this invention. However, 309b must not be activated by the spacer adjoining fields 303 and 304 and 308 lists in the electron emission fields 303b and 304b of 309, and a 308b list immediately after activating [ of 310b ] in the spacer electrification fields 302 and 305 and 307 lists at the electron emission fields 302b and 305b of 310, and a 307b list.

The 2nd example According to another example of this invention, spacers 351 and 352 are manufactured so that it may become a comparatively high dielectric constant. A high dielectric constant is defined as a larger thing than  $100\epsilon_0$ , and  $\epsilon_0$  is equal to  $8.85 \times 10^{-12}$  F/m here. Furthermore, a high dielectric constant is defined as what is within the limits of  $400\epsilon_0$  to  $800\epsilon_0$ . As a result with the large dielectric constant of a spacer, the charge time constant to spacers 351 and 352 increases, and it prevents charging these spacers quickly by that cause. By preventing accumulating a charge in spacers 351 and 352 quickly, the deviation of the electron which is emitted to the spacer adjoining fields 303 and 304 and 308 lists, and is emitted to the electron emission fields 303b and 304b of 309 and a 308b list by 309b is minimized. According to one modification of this example, the line of the electron emission component of a flat-panel display 300 is activated in an approach which was described above in relation to the 1st example. By the exception method, the line of the electron emission component of a flat-panel display 300 may carry out sequential activation.

According to one modification of this example, the spacer of a big dielectric constant is manufactured by titanium oxide (TiO<sub>2</sub>) and the aluminum-oxide (AlO<sub>2</sub>) list in the rate shown in the following table 1 including chrome oxide (Cr 2O<sub>3</sub>).



表 1

酸化チタン = 4 . 0 %

酸化アルミニウム = 3 2 . 0 %

酸化クロム = 6 4 . 0 %

By holding titanium oxide in about 4% of proportion, the dielectric constant of a spacer is held at comparatively high level. The spacer which has the constituent shown in the above-mentioned table 1 is henceforth called 4/32 / "64" spacers. 4/32/64 spacer shows the dielectric constant of about 700epsilon<sub>0</sub> to 750epsilon<sub>0</sub> on the frequency of 1200-1500Hz. As compared with it, the spacer which has 1.6% of titanium oxide and the constituent which becomes 34.4% of aluminum-oxide list from 64.0% of chrome oxide shows the dielectric constant of about 10epsilon<sub>0</sub> thru/or 11epsilon<sub>0</sub> by 100Hz. Therefore, the dielectric constant of spacers 351 and 352 increases remarkably by adjusting the rate of about 4% of titanium oxide. Furthermore, 4/32/64 spacer has the advantage that other properties considered to be convenient in a flat-panel display environment are shown. 4/32/64 spacer shows the comparatively high electric resistance of about 7x10<sup>8</sup>ohms / \*\* more to a detail. Therefore, a spacer is held by holding the rate of titanium oxide to about 4% at the electric resistance of the permissible range. 4/32/64 spacer shows the secondary emission ratio which is within the limits of 1-2.2 in the electrical potential difference which is within the limits of 1kV - 4kV to a pan.

In the one modification of this invention, 4/32/64 spacer is manufactured from the slurry generated by mixing a solvent in ceramic powder and an organic nature binder list in the conventional ball mill. Combination of such a slurry is shown in Table 2.

表 2

酸化アルミニウム粉末	1 0 3 . 7 g
酸化クロム粉末	2 0 7 . 3 g
酸化チタン粉末	1 2 . 9 g
B u t v a r B 7 6	3 4 g
S a n t i c i z e r 1 5 0	1 0 g
K e l l o x Z 3 M e n a h d e n o i l	0 . 6 5 g
エタノール	1 0 5 g
トルエン	1 2 7 g

In other modifications, a ceramic compound adjusts grain size or contains the modifier chosen so that a sintering process may be assisted. A compound like a calcium oxide may be used for diacid-ized silicon and a magnesium-oxide list as a modifier.

In the conventional approach, casting of the tape which has the thickness of 60 to 120 micrometer is carried out using a MIRUDO slurry. This tape can be carved into a big wafer with a width-of-face [ of 10cm ] x die length of 15cm in the one modification. After that, the conventional flat setter (setter) is loaded with a wafer, and it is calcinated by the air list in/and reducing atmosphere until the wafer shows desired resistivity. A wafer is calcinated within a \*\*\*\* period furnace by the detail using the hydrogen ambient atmosphere which has a 24-degree C typical dew-point. The dew-point of a hydrogen ambient atmosphere is made higher (about 50 degrees C), and it enables it to remove an organic composition easily, when there is the need that the pyrolysis of the organic nature constituent of a wafer is carried out within the furnace (that is, removed), without damaging a wafer. The dew-point will be moved from the higher dew-point (50 degrees C) at the lower dew-point (24 degrees C), after the pyrolysis of the organic nature constituent of a wafer is carried out. A pyrolysis is typically completed at the temperature of 600 degrees C. Typically, a wafer is calcinated at the peak temperature of 1500 degrees C for 1 to 2 hours. The property of a ceramic constituent is adjusted by the detailed baking profile. With a strict combination of secondary electron emission, actual peak temperature is in the reinforcement and the resistivity list which are demanded in a spacer by the raw material at the time of initiation again between 1450 degrees C and 1750 degrees C, and a baking profile holds 1 to 5 hours, and this peak temperature in them. After that, a wafer is taken out and inspected and can be carved into the strip used as spacers 351 and 352. In the one modification, these strips have height of 50

mils (about 1.27mm) in about 2.25 mils (about 0.06mm) in thickness, and die-length a list of 2 inches (about 5.1cm).

In addition to adjusting the electric resistivity of a spacer, the electric resistivity of a spacer is also controllable by adjusting the rate of chrome oxide by changing the rate of titanium oxide. The conductivity of a spacer comes to increase by increasing the rate of chrome oxide. However, the sintering temperature required of a spacer ingredient also increases by increasing the rate of chrome oxide. moreover, the thing for which electrical resistivity controls the partial pressure of the oxygen in the furnace under baking (PO<sub>2</sub>) -- or it can adjust also by changing the ratio of H<sub>2</sub> and O<sub>2</sub> and changing the dew-point in a furnace.

The 3rd example Fig. 5 is a mimetic diagram of a flat-panel display 500 according to another example of this invention. This example can use the 2nd example according to an individual, combining the 2nd above-mentioned example. In a flat-panel display 500, two or more spacers like a spacer 501-503 are connected between the face plate structure 510 and the back-plate structure 511. Furthermore, each spacer 501-503 is equipped with corresponding face electrode 501a-503a connected to a common bus 504. Each face electrode 501a-503a is arranged on the outside front face of the spacer 501-503 which corresponds in the location between the face plate structure 510 and the back-plate structure 511. A common bus 504 combines resistance and the capacitor of a spacer 501-503 efficiently. Moreover, a common bus 504 distributes a charge in all the spacers 501-503. For example, the charge produced as a result will be distributed to spacers 501 and 502 and a list by the common bus 504 in 503, when the spacer electrification field contiguous to a spacer 501 is activated.

This brings about the advantage of decreasing the charge accumulated on a spacer 501, in comparison with the charge accumulated on a spacer 501 when there is no common bus 504. the charge accumulated on a spacer 502 and 503 -- this time -- increasing in comparison with the charge accumulated on a spacer 502 and 503 when there is no common bus 504 -- since a certain time amount is not activated for the spacer adjoining field corresponding to spacers 502 and 503 to progress, it is permissible for a charge to increase such.

Fig. 6 is isometric drawing of the spacer 601 which can be used for this example. A spacer 601 equips the body 602 of a spacer, and face electrode 603-604 list with 607 at edge electrode 606a and a 606b list. The body 602 of a spacer consists of 4/32 / 64 spacer ingredients which were indicated in the 2nd example in the one example. By the exception method, although not necessarily limited, it consists of an ingredient of uniform electric resistance like the ceramic containing a transition-metals oxide, or another conventional spacer ingredient containing the piece of a solid-state of electric insulating core materials equipped with the envelope of electric resistance. 607 becomes the face electrodes 603 and 604 and a list from aluminum or a conductive ingredient like copper at edge electrode 606a and a 606b list. Manufacture of 607 is indicated by the face electrode 603 and edge electrode 606a, and the 606b list in a detail at the United States patent application 08th of the coincidence connection which makes an applicant the same / No. 414,408.

607 adjusts distribution of voltage to the face electrodes 603 and 604 and a list along with a spacer 601 at edge electrode 606a and a 606b list. A spacer 601 has thickness [ of about 2.25 mils (about 0.06mm) ] T, and since it is relatively small as compared with height [ of 50 mils (about 1.27mm) ] H, in order that the face electrodes 603 and 604 may adjust the distribution of voltage over a spacer 601, the body 602 of a spacer is needed for the value only on one front face.

A gap 605 exists among the edge electrodes 606a and 606b. The dimension of a gap 605 is chosen so that edge electrode 606a may be electrically insulated from edge electrode 606b. In a certain specific example, a gap 605 has width of face W of about 50 mils (about 1.27mm). Edge electrode 606a brings about the electrical installation to the light emission structure of a flat-panel display, edge electrode 606b brings about the electrical installation between the face electrode 603 and a common bus, and the edge electrode 607 brings about the electrical installation to the electron emission structure of a flat-panel display further so that it may indicate in a detail by the following.

Fig. 7 is a mimetic diagram on the front face of a top of a flat-panel display 700. Fig. 8 is a sectional view of the flat-panel display 700 seen along with the line 8-8 of Fig. 7. Fig. 9 is a sectional view of the flat-panel display 700 seen along with the line 9-9 of Fig. 7. A flat-panel display 700 equips a spacer 701-707, the face plate structure 720, the back-plate structure 730, and common-bus structure 723 list with the side-attachment-wall structure 724. The face plate structure 720 is equipped with the insulating face plate 721 and the light emission structure 722.

The back-plate structure 730 is equipped with a back plate 731 and the electron emission structure 732. In the example indicated, each spacer 701-707 is the same as a spacer 601 (Fig. 6). As shown in Fig. 7, a spacer 701-707 extends horizontally between the light emission structures 722 in the pixel line of a flat-

panel display 700, and juxtaposition. The light emission structure 722 demarcates the front face for a check by looking of a flat-panel display 700. The common-bus structure 723 is isolated from this front face for a check by looking in a longitudinal direction. The side-attachment-wall structure 724 surrounds the light emission structure 722 and the common-bus structure 723 in a longitudinal direction.

As shown in Fig. 8, the side-attachment-wall structure 724 extends between the face plate structure 720 and the back-plate structure 730. The light emission structure 722 of the face plate structure 720 equips light emission ingredient 722a and a matrix section 722b list with conductive layer 722c. Conductive layer 722c extends on the outside of the outside boundary of the side-attachment-wall structure 724, and is connected to a power source 740. The common-bus structure 723 is equipped with insulating strip 723a and conductive bus layer 723b. In the one example, insulating strip 723a is formed in matrix section 722b and coincidence, and it secures that the thickness of insulating strip 723a and matrix section 722b becomes in general the same by that cause. In a certain specific modification, insulating strip 723a and matrix section 722b are formed from polyimide resin, and have thickness [ of about 2 mils (about 0.05mm) ] T. Furthermore, insulating strip 723a has width of face W of about 50-100 mils (about 1.27-2.54mm). Moreover, the conductive layers 722c and 723b and \*\* formed in coincidence are good. The thickness of the conductive layers 722c and 723b can be disregarded compared with the thickness of insulating strip 723a and matrix section 722b. Since insulating strip 723a and matrix section 722b have the in general same thickness, the conductive layers 722c and 723b are arranged from a face plate 721 at the same distance, and, thereby, make easy contact between the conductive layers 722c and 723b and a spacer 701-707.

Furthermore, if Fig. 8 is referred to, a spacer 707 will equip a body 757, edge electrode 767a, and a 767b list with 768 and the face electrodes 777 and 778, and will equip a list with a gap 755. A spacer 707 is connected between the face plate structure 720 and the back-plate structure 730 so that conductive layer 722c of the light emission structure 722 contacts edge electrode 767a, and conductive bus layer 723b of the common-bus structure 723 may contact edge electrode 767b and may contact the edge electrode 768 of the electron emission structure 732 of a back plate 730 further. A gap 755 insulates the edge electrodes 767a and 767b electrically. The face electrode 777 is electrically connected to edge electrode 767b so that it may be illustrated. Each remaining spacer 701-706 is connected like a spacer 707. Although not shown by Fig. 8, it will be understood that the upper part of a spacer 707 can engage with the spacer supporting-structure object on the face plate structure 720. Such a spacer supporting-structure object is not illustrated in order to show drawing clearly. However, such a spacer supporting-structure object is indicated by the United States patent application 08th of the United States patent application 08th of January 31, 1994 application of the coincidence connection which makes an applicant the same, and November 21, 1994 application at a No. 188 or 855 list / No. 343 or 074 at the detail, and is used as some of these specifications with reference to the whole.

As shown in Fig. 9, each spacer 701-706 is equipped with the corresponding face electrode 771-776 in contact with the edge electrode 761-766 which corresponds the same with having described above to the spacer 707. Each edge electrode 761-766 contacts conductive bus layer 723b like a spacer 707.

Consequently, conductive bus layer 723b realizes the common bus in contact with the face electrode 771-777. In the one modification, the conductive bus structure object 723 has die-length [ of about 8 inches (about 20cm) ] L.

When the line of the electron emission component of the electron emission structure 723 carries out electron emission in the direction shown by the arrow head 780, a spacer 701 is the first spacer which the conditions in which a charge is accumulated produce in a spacer 701-707. However, it connects with the face electrode 771-777 in common through conductive bus layer 723b, and since the effective capacitance of a spacer 701 increases, are recording of the rapid charge to a spacer 701 is prevented. When the charge accumulated on a spacer 702-707 also connects the face electrode 771-777 common-to conductive bus layer 723b, it decreases similarly.

The 4th example Fig. 10 is a mimetic diagram of a flat-panel display 1000 according to another example of this invention. This example can use the above-mentioned example according to an individual like the 3rd example, combining the 1st and 2nd above-mentioned examples. Since the flat-panel display 1000 shown in Fig. 10 is the same as the flat-panel display 500 shown in Fig. 5, the reference number with the same, same component in Fig. 5 and Fig. 10 is attached. Furthermore, Fig. 10 is equipped with the external capacitor 1010 connected between a common bus 504 and a gland 1011. A capacitor 1010 makes the effective capacitance of a spacer 501-503 increase, and increases further the charge time constant about a spacer 501-503 by that cause, and it prevents charging these spacers quickly.

Fig. 11 is a mimetic diagram on the front face of a top of a flat-panel display 1100 according to the example

of this invention. Fig. 12 is a sectional view of the flat-panel display 1100 seen along with the line 12-12 of Fig. 11. Since the flat-panel display 1100 is the same as a flat-panel display 700 (Fig. 7 - Fig. 9), the reference number with the same, same component in flat-panel displays 700 and 1100 is attached. Compared with the component of the above-mentioned flat-panel display 700, a flat-panel display 1100 is further equipped with the common-bus extension material 1101 in contact with conductive bus layer 723b of the common-bus structure 723. In the one modification, the common-bus extension material 1101 and conductive bus layer 723b are manufactured as a component which makes one (refer to the 12th Fig.). The bus extension material 1101 extends along with a face plate 721 even on the outside of the outside boundary of the side-attachment-wall structure 724. The external capacitor 1010 is connected to the bus extension material 1101 in the point of the outside of the outside boundary of the side-attachment-wall structure 724. Thus, the face electrode 771-777 is connected to the external capacitor 1101. This makes the capacitance of a spacer 701-707 increase, and prevents accumulating a charge quickly on these spacers.

The 5th example Fig. 13 is a mimetic diagram of a flat-panel display 1300 according to still more nearly another example of this invention. The above-mentioned example can be used for this example according to an individual like the 3rd and 4th examples, combining the 1st and 2nd above-mentioned examples. Since the flat-panel display 1300 is the same as a flat-panel display 500 (Fig. 5), the reference number with the same, same component in Figs. 5 and 13 is attached. Furthermore, Fig. 13 is equipped with the capacitor 1310 connected between a common bus 504 and a voltage source 1311. A capacitor 1310 makes the effective capacitance of a spacer 501-503 increase, the charge time constant to a spacer 501-503 is made to increase by that cause, and these spacers prevent being charged quickly.

Fig. 14 is a mimetic diagram on the front face of a top of a flat-panel display 1400 according to the example of this invention. Fig. 15 is a sectional view seen along with the line 15-15 of Fig. 14, and Fig. 16 is a sectional view seen along with the line 16-16 of Fig. 14.

Since the flat-panel display 1400 is the same as a flat-panel display 700 (Fig. 7 - Fig. 9), the reference number with the same, same component is attached.

A flat-panel display 1400 is equipped with the capacitor structure 1310 formed on the inside front face of a face plate 721. As shown in Fig. 14, the capacitor structure 1310 is arranged in the location of the common-bus structure 723 (Fig. 7), and the same location on the outside of the front face for a check by looking of a display 1400.

As shown in Figs. 15 and 16, the capacitor structure 1310 equips the 1st conductive plate 1301 and dielectric layer 1302 list with the 2nd conductive plate 1303. In the example illustrated, the 1st conductive plate 1301 makes conductive layer 722c of the light emission structure 722, and one. That is, the 1st conductive plate 1301 and conductive layer 720c are deposited on coincidence in order to form the continuation layer of a conductive ingredient. The dielectric layer 1302 is a layer of the polyimide resin which has die-length [ of about 8 inches (about 20cm) ] L in about 2 mils (about 0.05mm) thickness T and an about 50-100 mils (about 1.27-2.54mm) width-of-face W list. The 2nd conductive plate 1303 is deposited on the bottom front face of the dielectric layer 1302. the thickness which resembled a plate 1301 and 1303 lists and combined the dielectric layer 1302 is chosen so that it may become equal to the thickness which combined matrix 722b and conductive layer 722c of the light emission structure 722. Consequently, both the semi-conductor structure 1310 and the light emission structure 722 form the good electric contact to a spacer 701-707.

The dielectric layer 1302 forms a capacitor in the 1st and 2nd conductive plate 1301 and 1303 lists. The 1st conductive plate 1301 of this capacitor is connected to a voltage source 1311 through conductive layer 722c (Fig. 15) of the light emission structure 722. The 2nd conductive plate 1303 of this capacitor is connected to the face electrode 771-777, and it is made for the face electrode 771-777 to extend in juxtaposition from the 2nd conductive plate 1303. The capacitance of the capacitor structure 1310 is determined as thickness (T) and a cross-section (LxW) list with the dielectric constant of the dielectric layer 1302. These parameters can be changed and the capacitor structure 1310 which has desired capacitance can be formed. In the example indicated, the capacitor structure 1310 has the capacitance in the range of about three to 6 nF.

The 1st conductive plate 1301 is not connected to conductive layer 722c of the light emission structure 722 in the another modification of this invention. Instead, the 1st conductive plate 1301 is pulled out by the outside of the outside boundary of the side-attachment-wall structure 724 (see the extension material 1101 of Fig. 11), and is connected to a grand voltage source.

The 6th example Fig. 17 is a mimetic diagram on the front face of a top of a flat-panel display 1700 according to another example of this invention. A flat-panel display 1700 is equipped with two or more spacers 1701-1705 arranged at right angles to a pixel line (not being at juxtaposition). A broken line 1710 expresses one of the pixel lines of these. In the location which adjoins the pixel line by which each spacer

1701-1705 was activated, it is charged as the pixel line of a flat-panel display 1700 is activated. For example, when the pixel line 1710 is activated, a spacer 1701-1705 comes to be charged in location 1701a-1705a.

Fig. 18 is isometric drawing of a spacer 1701. The spacer 1702-1705 is the same as a spacer 1701. A spacer 1701 equips the body 1711 of a spacer, and edge electrode 1712-1713 list with the face electrode 1714. The various components of a spacer 1701 are the same as the component of the spacer 601 described above in relation to Fig. 6 in general. the face electrode 1714 -- the height of a spacer 1701 -- it is arranged in general in the mid-position, and extends in juxtaposition in general with the edge electrodes 1712 and 1713 along with the die length of the body 711 of a spacer.

When put to a charge with a certain specific excessive location which met a spacer 1701 like location 1701a, the face electrode 1714 distributes this charge along with the die length of the spacer 1701 as shown by arrow heads 1721 and 1722 (and dissipation).

It comes to be carried out. Therefore, in the location which adjoins the activated pixel line, an excessive charge is not accumulated along with a spacer 1701-1705.

Although this invention has been indicated in relation to some examples, this invention is not restricted to the indicated example and it will be understood by this contractor that the various examples of modification considered to be clear can be realized. The common-bus structure 723 and the capacitor structure 1310 can also be manufactured on a face plate in a back-plate list.

Therefore, this invention is limited by only the following claims.

---

[Translation done.]

\* NOTICES \*

**JPO and NCIPi are not responsible for any  
damages caused by the use of this translation.**

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DRAWINGS

---

[Drawing 1]

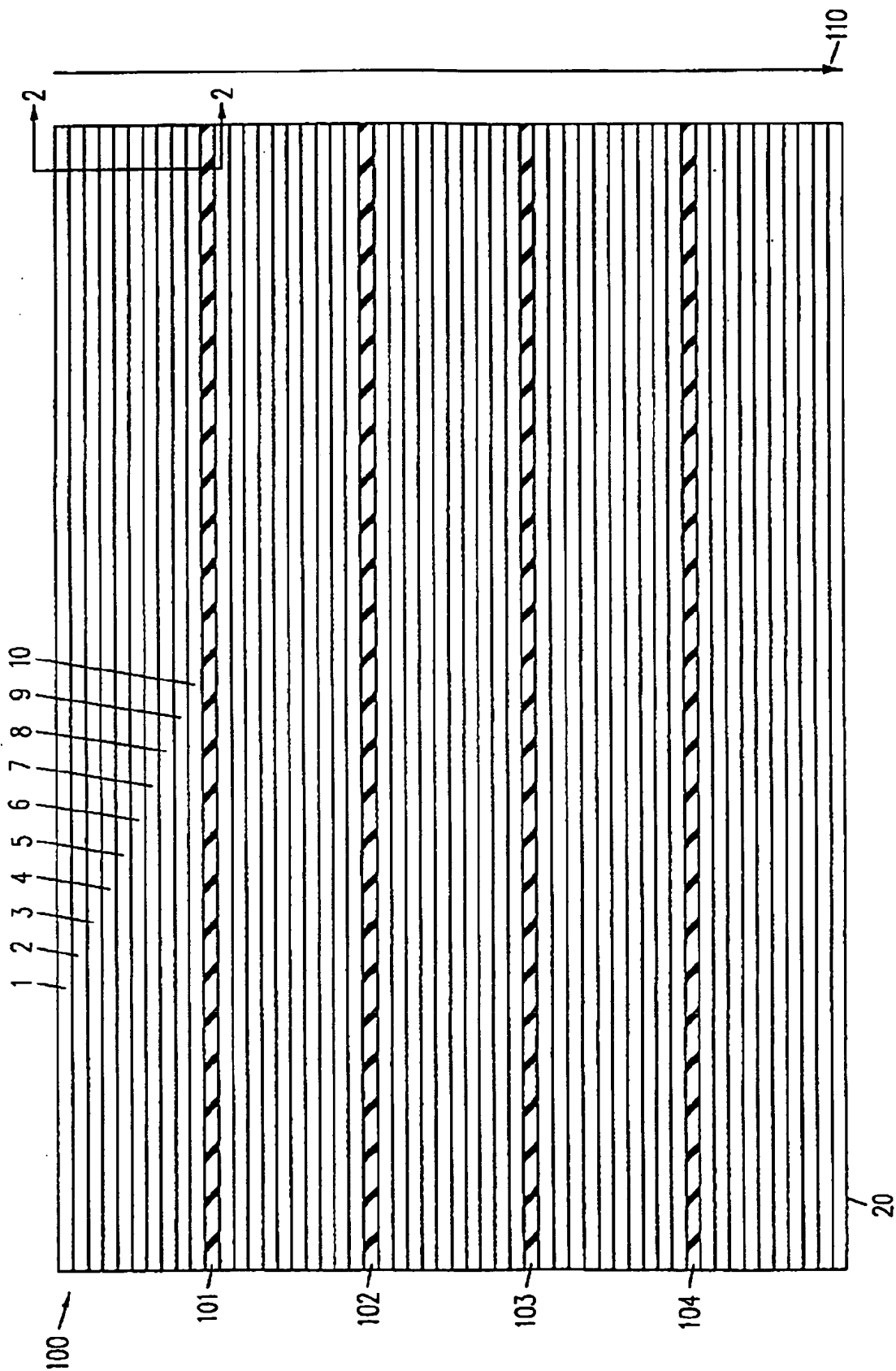


FIG. 1

[Drawing 2]

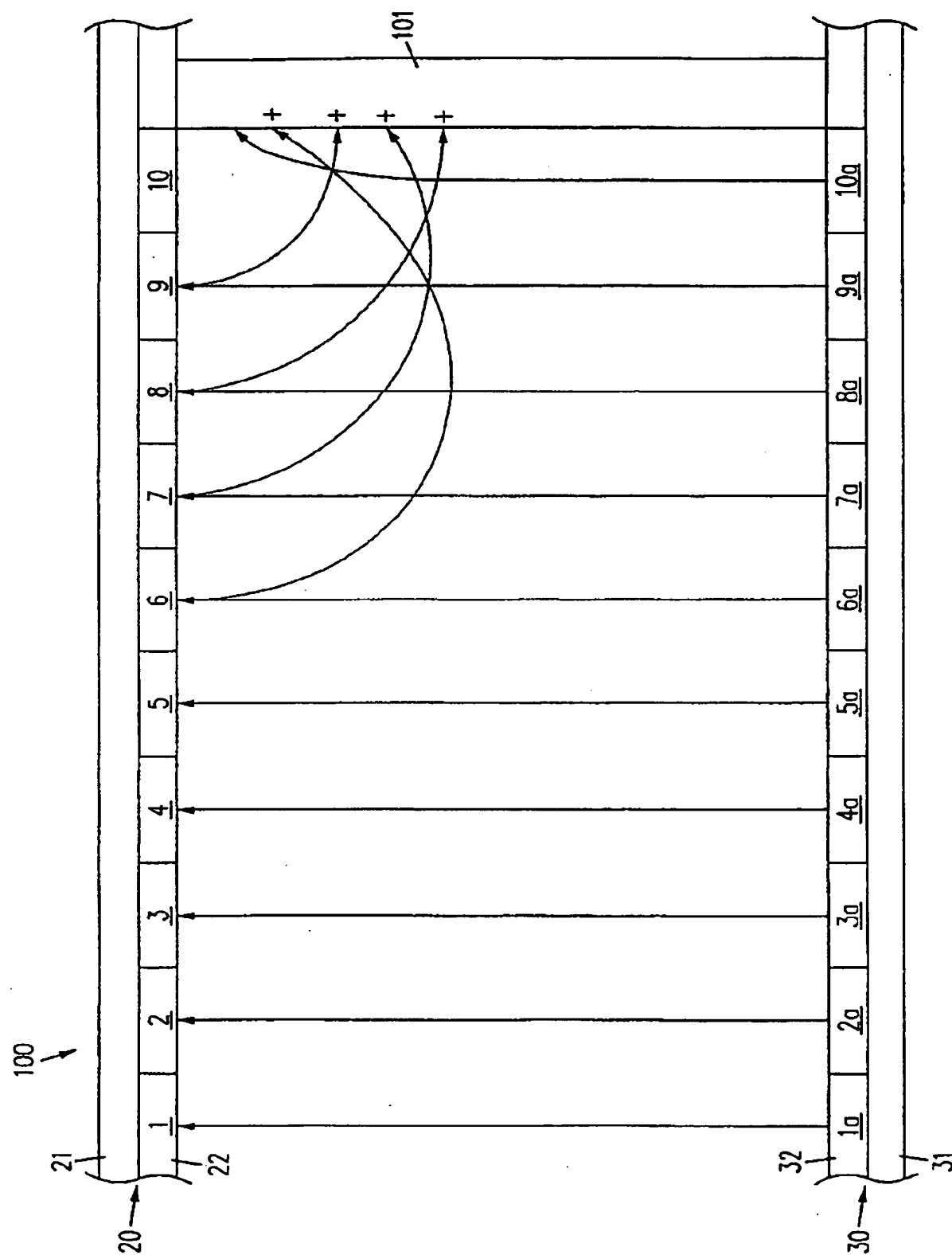


FIG. 2

[Drawing 3]



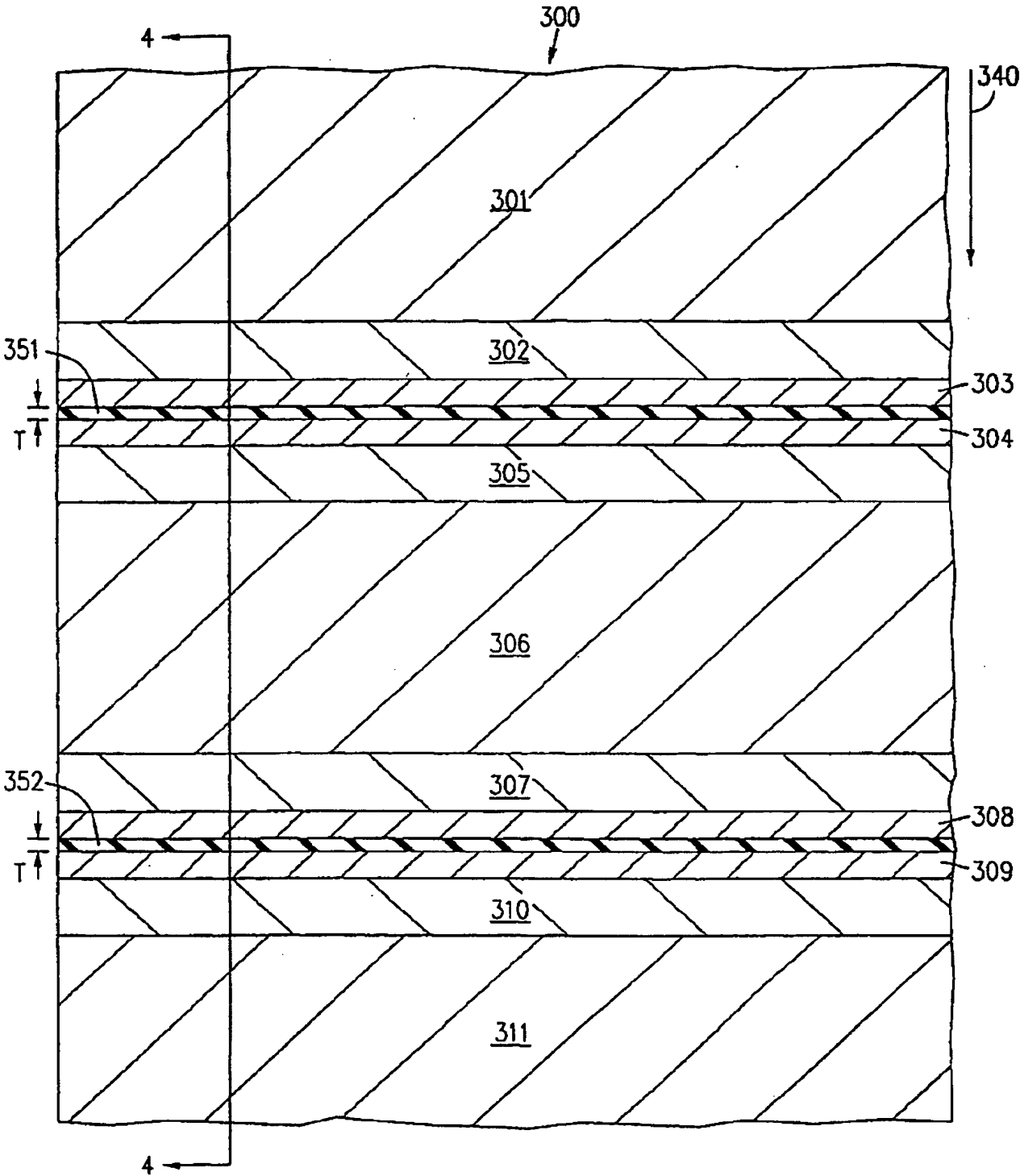


FIG. 3

[Drawing 4]

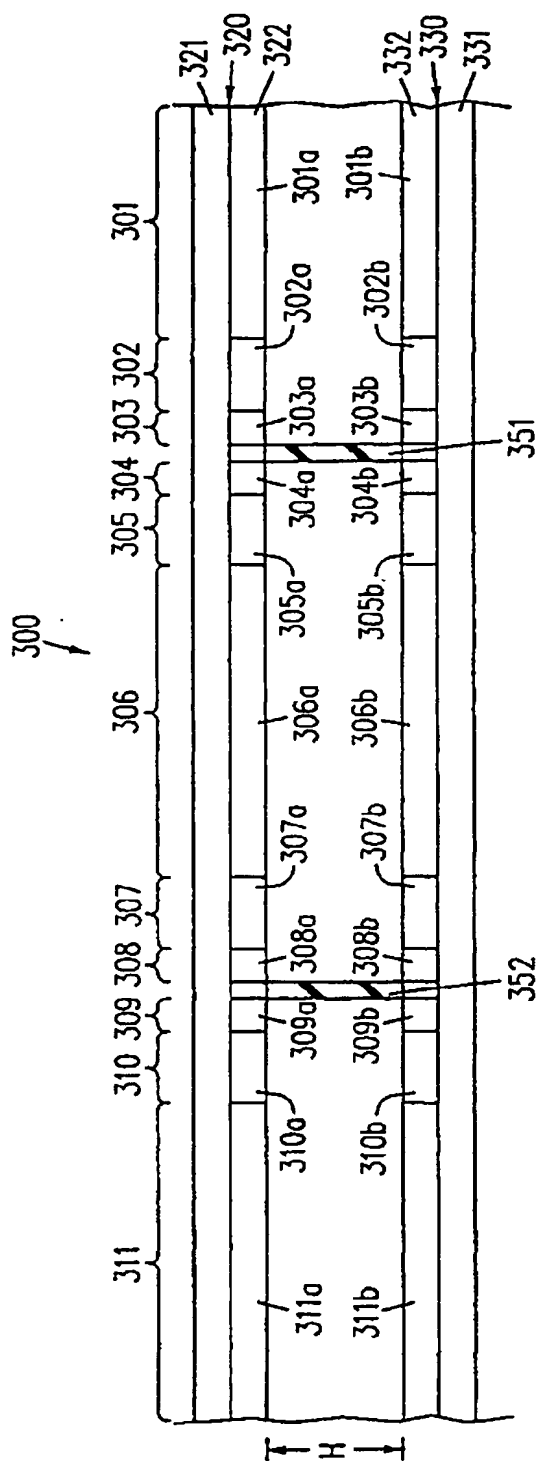
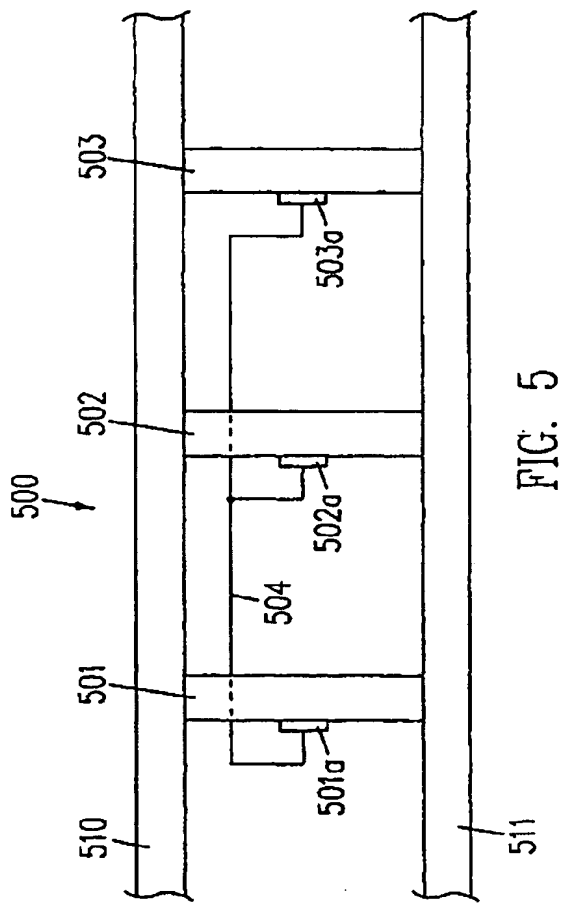


FIG. 4

[Drawing 5]



[Drawing 6]

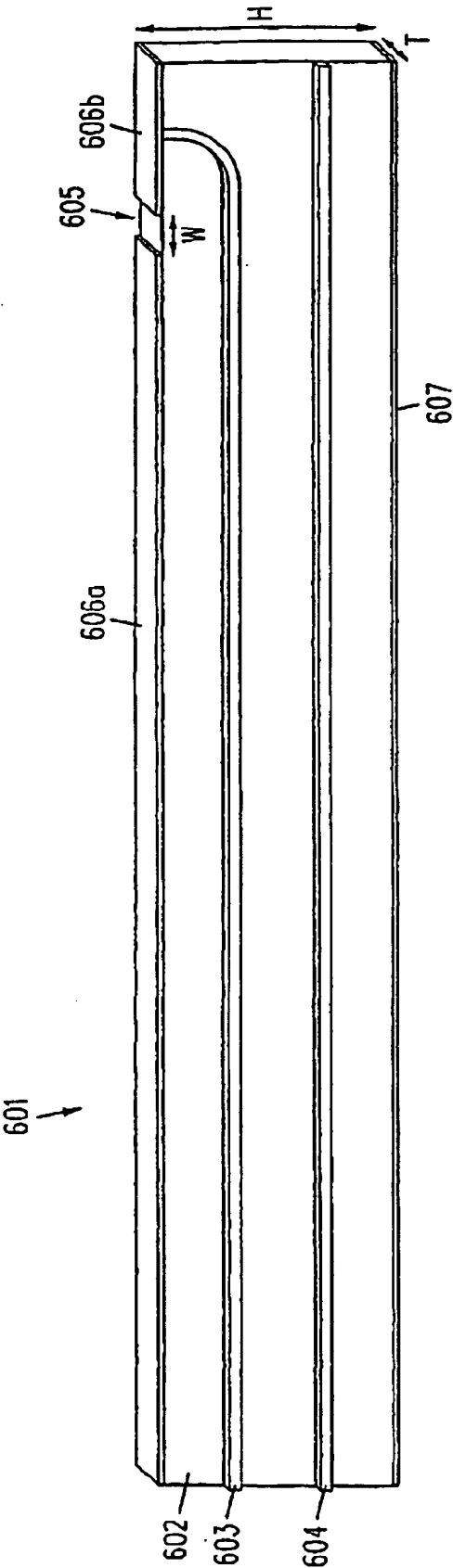


FIG. 6

[Drawing 7]

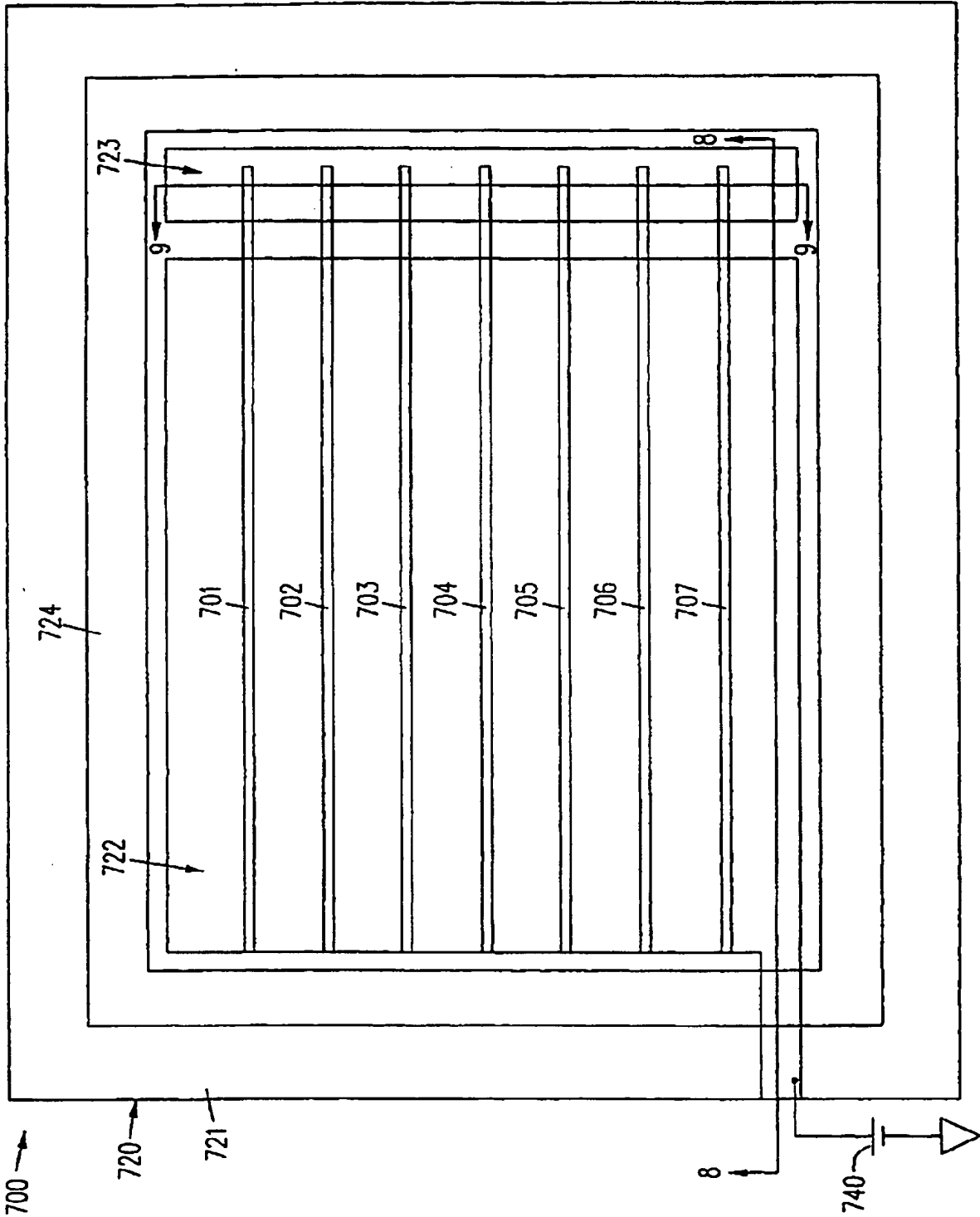


FIG. 7

[Drawing 8]

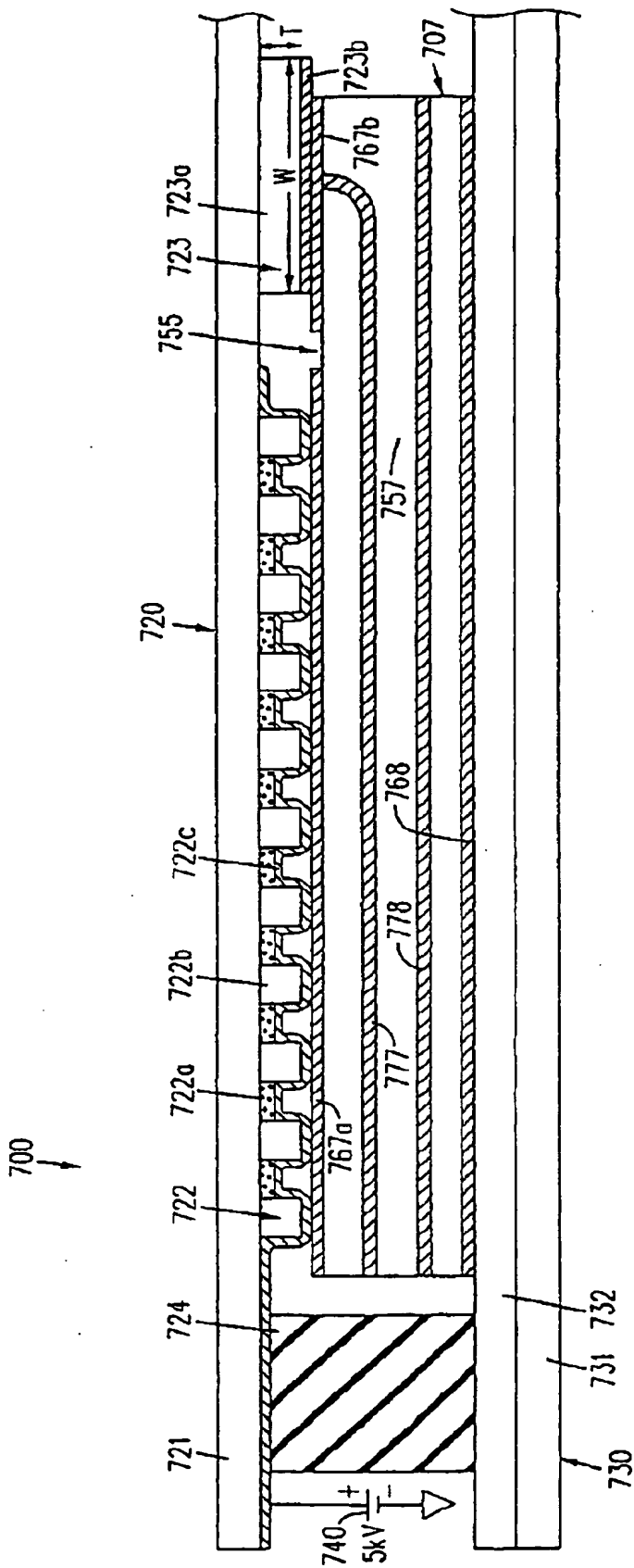
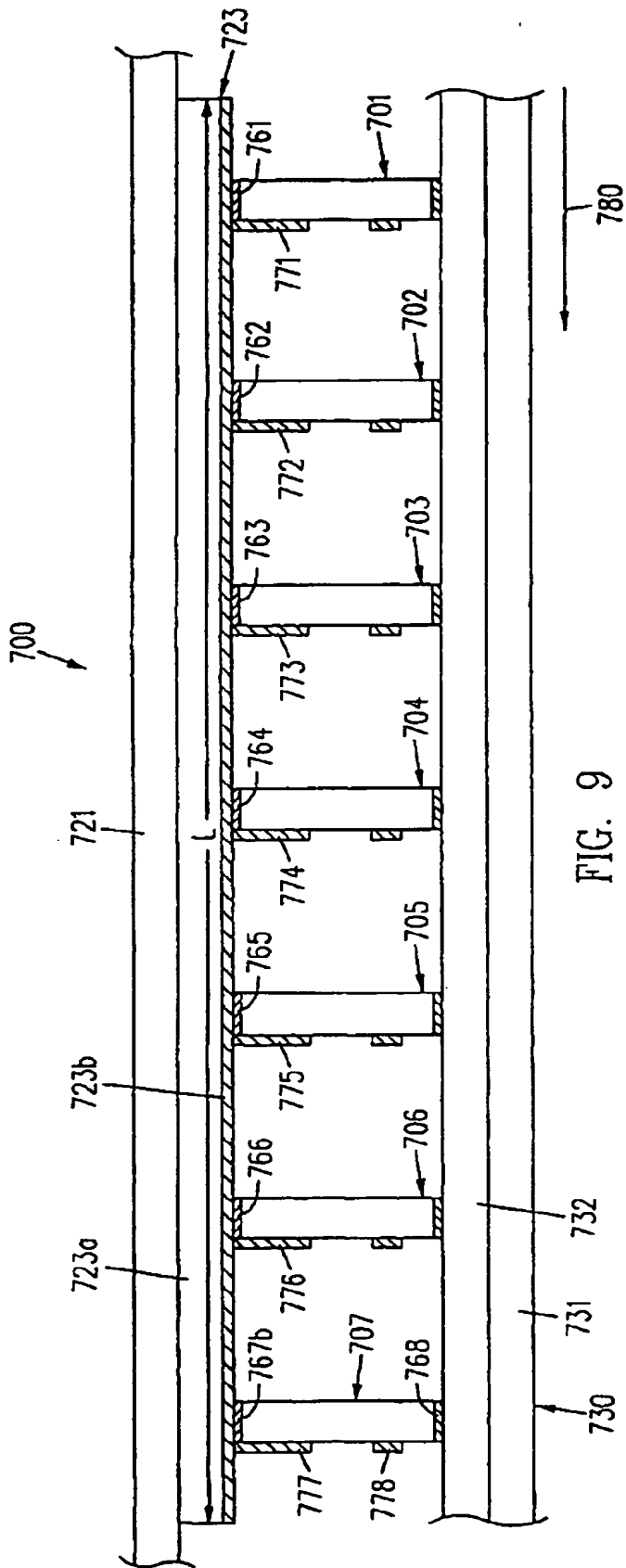
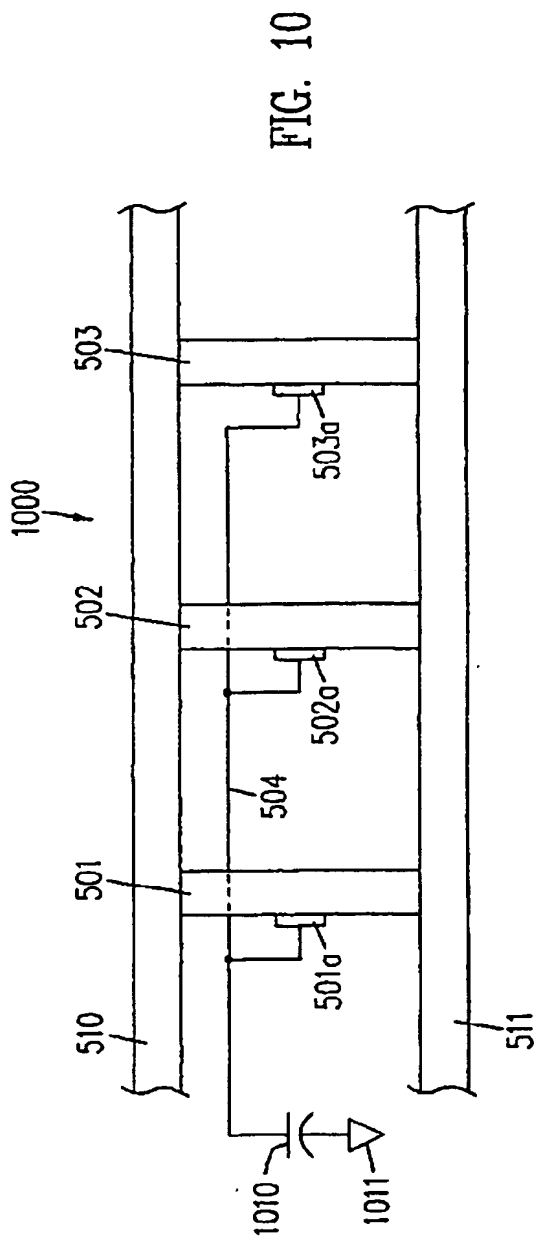


FIG. 8

[Drawing 9]



[Drawing 10]



[Drawing 11]



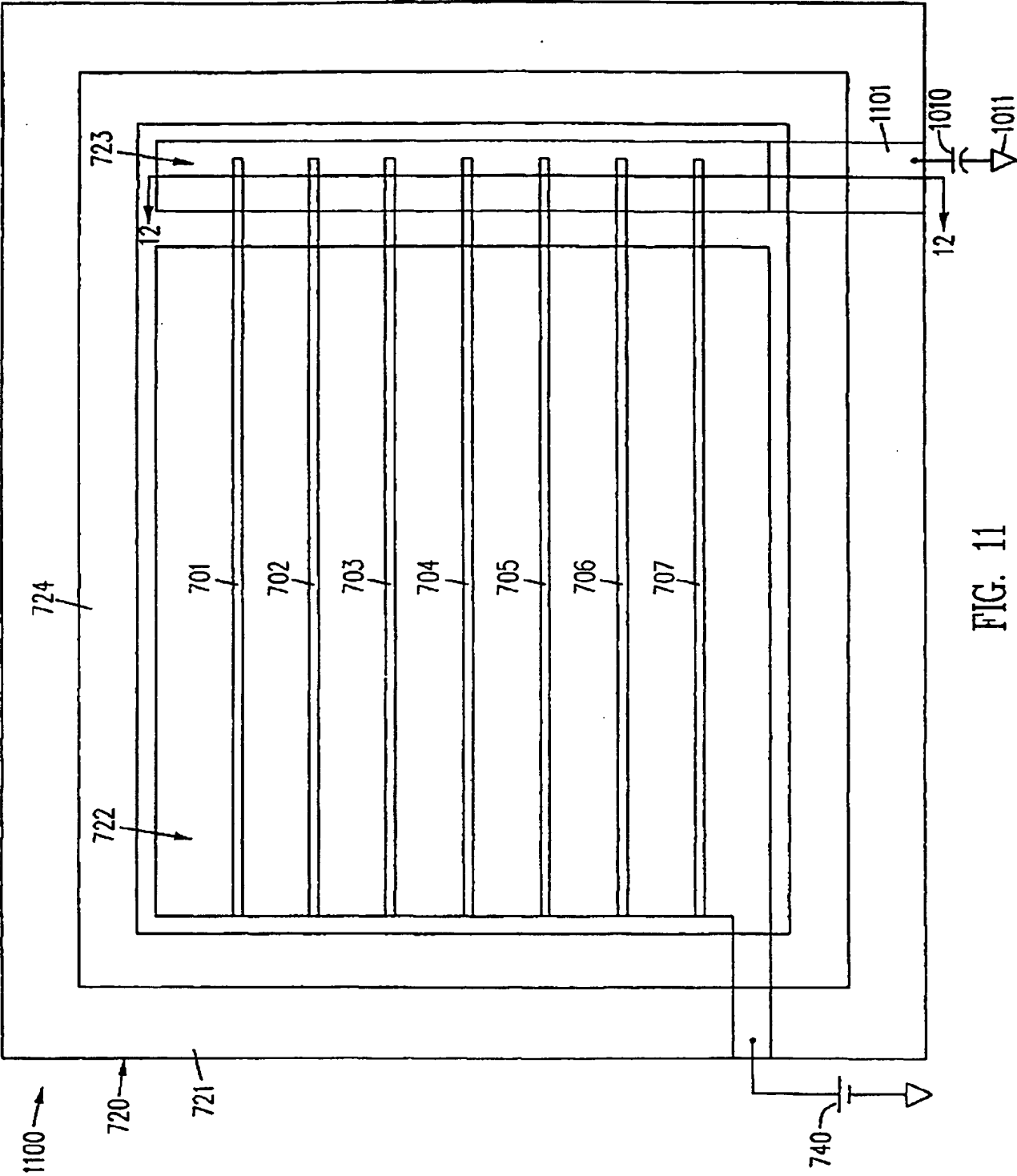


FIG. 11

[Drawing 12]

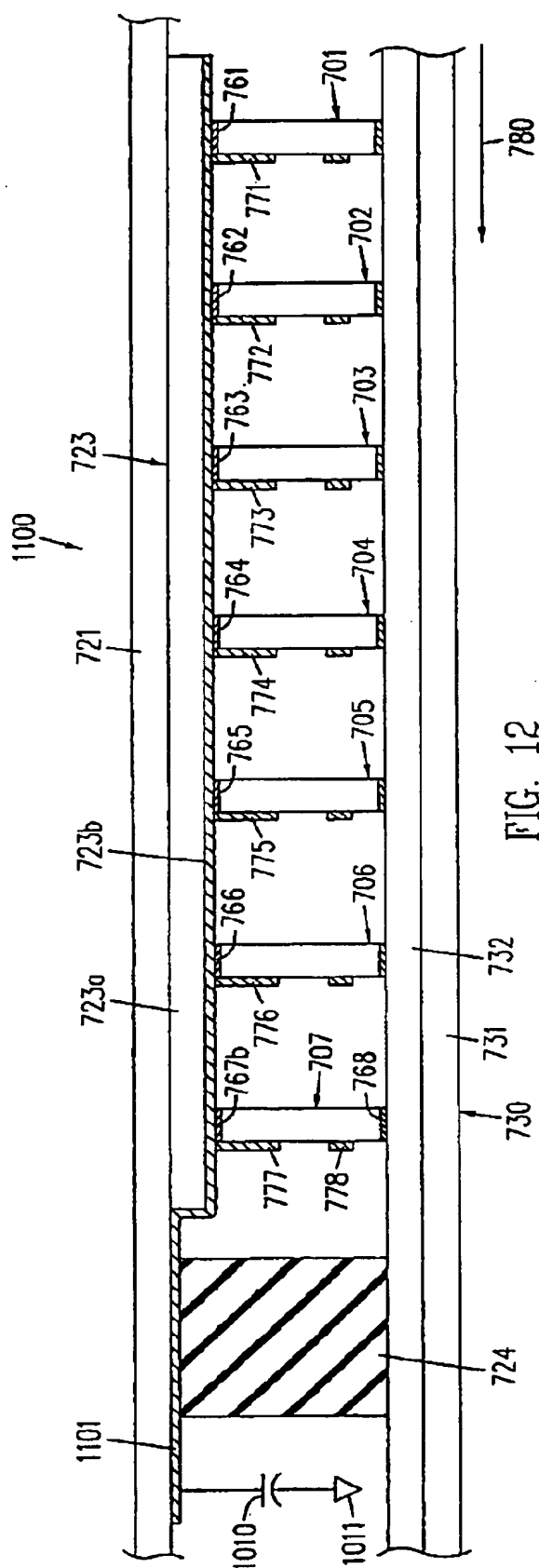
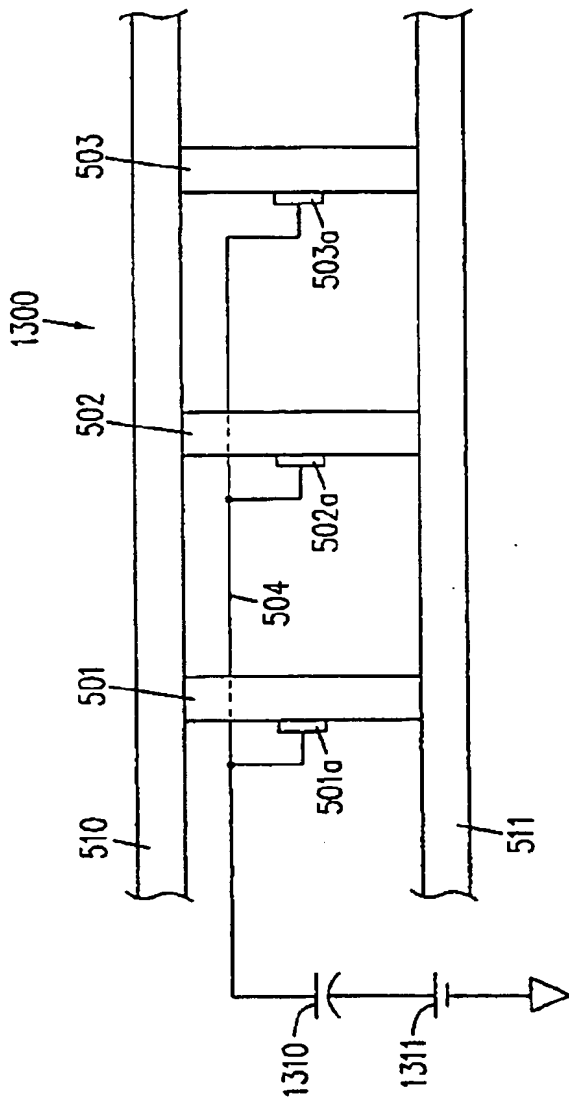


FIG. 12

[Drawing 13]

FIG. 13



[Drawing 14]

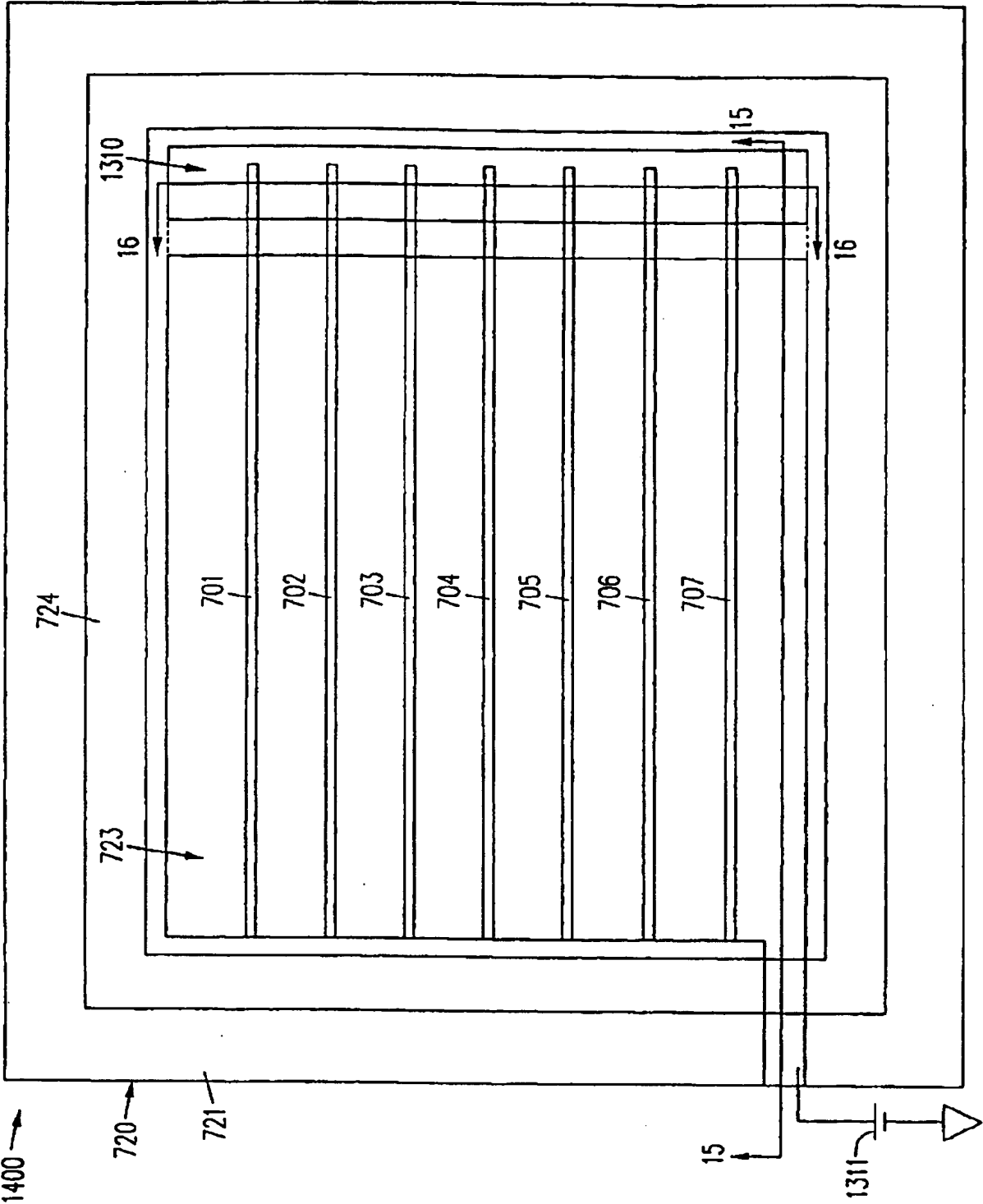


FIG. 14

[Drawing 15]

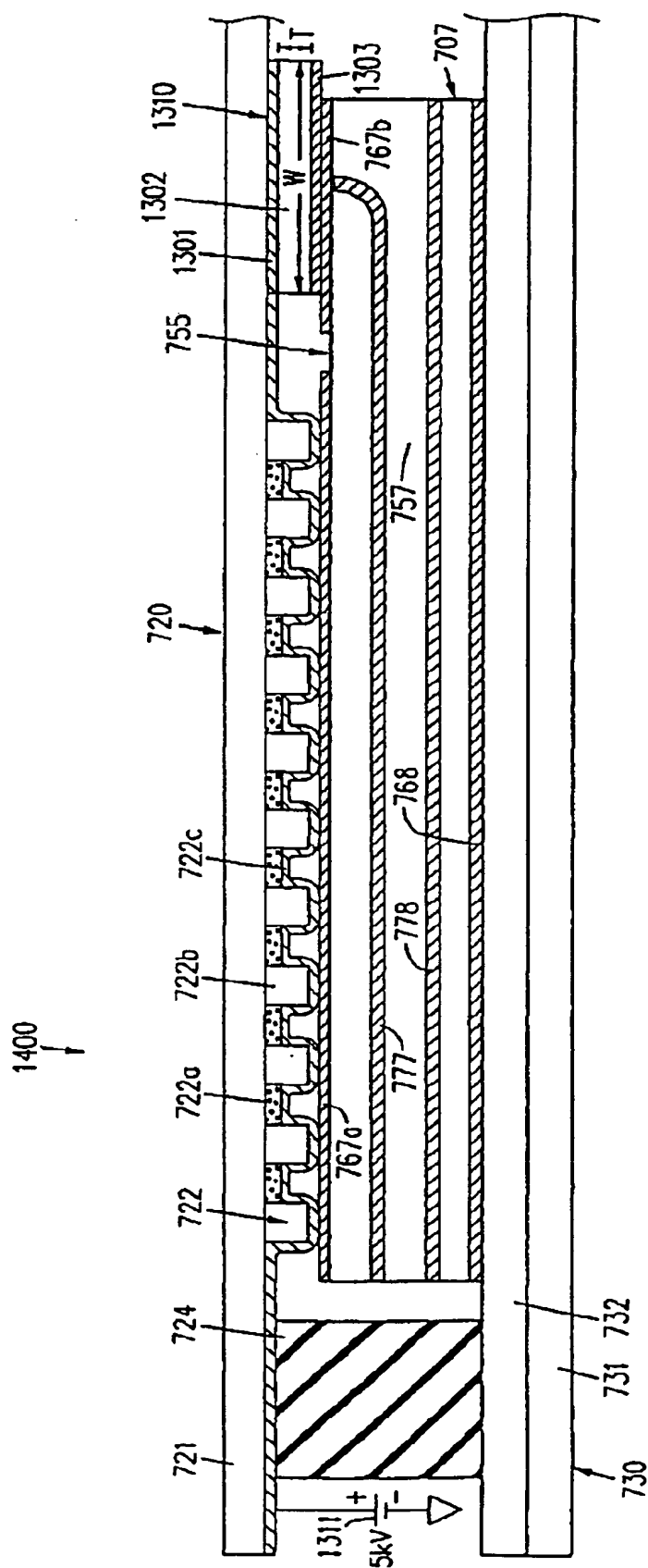


FIG. 15

[Drawing 16]

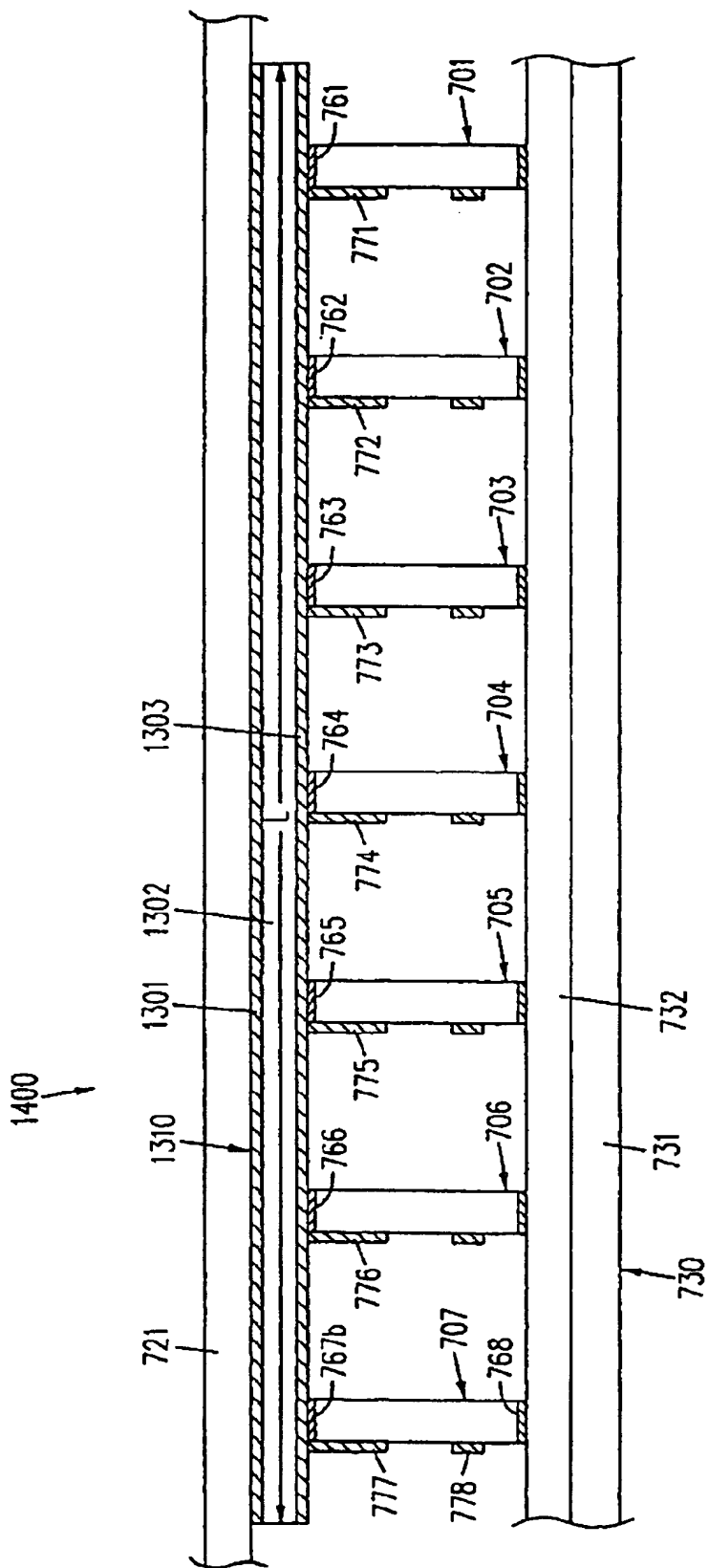


FIG. 16

[Drawing 17]

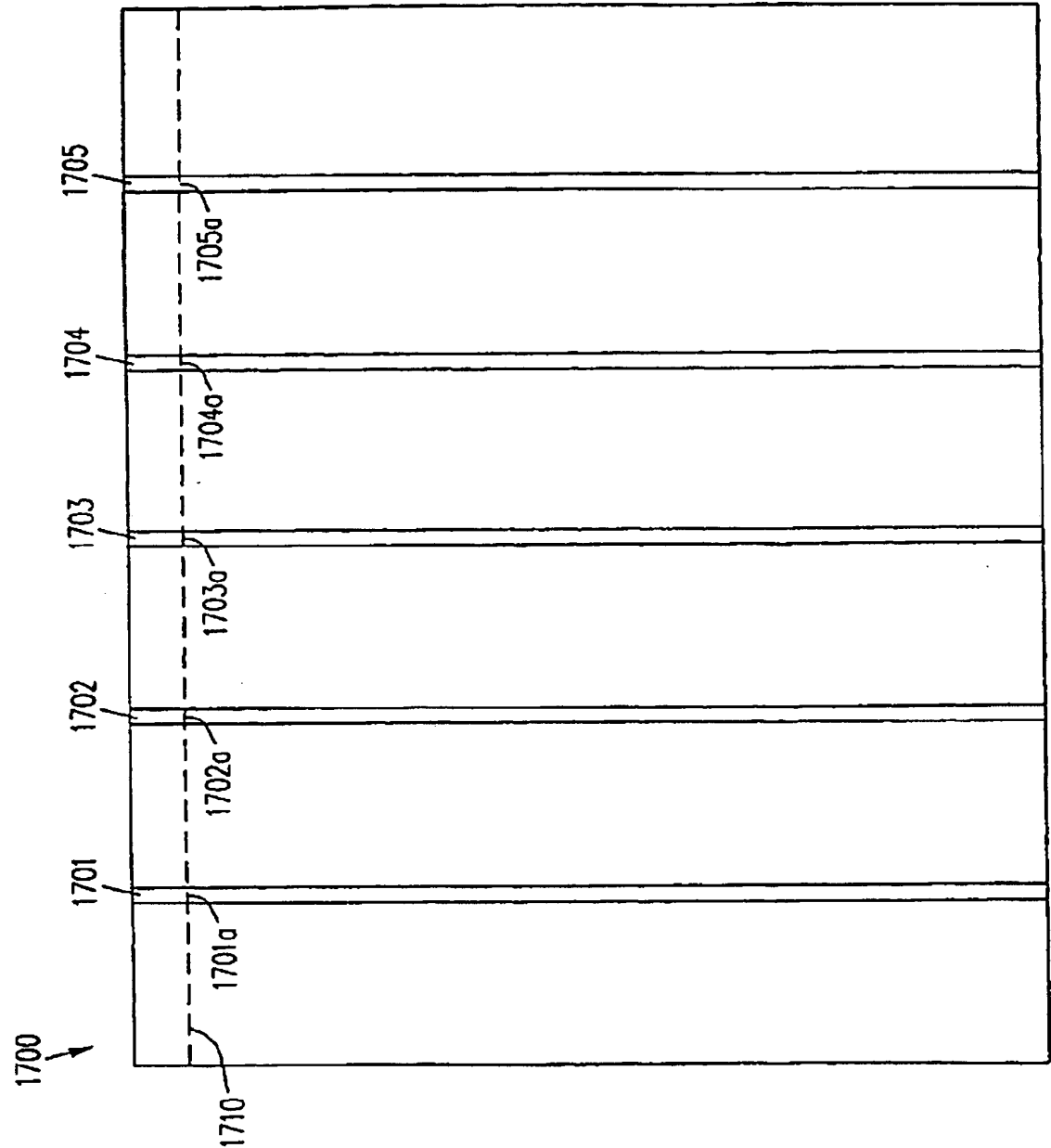


FIG. 17

[Drawing 18]

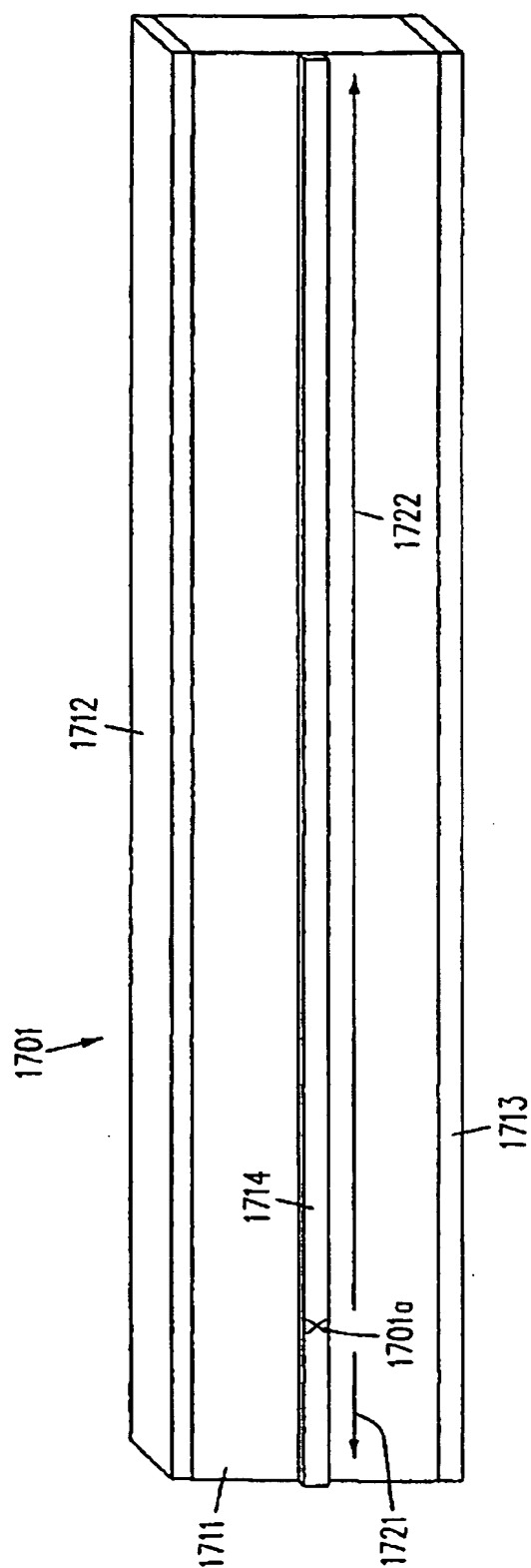


FIG. 18

[Translation done.]